

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-036759

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

G06F 12/00

G06K 19/07

G11C 16/06

(21)Application number : 05-175619

(71)Applicant : **HITACHI LTD**
HITACHI VLSI ENG CORP
HITACHI KEIYO ENG CO LTD

(22)Date of filing : 15.07.1993

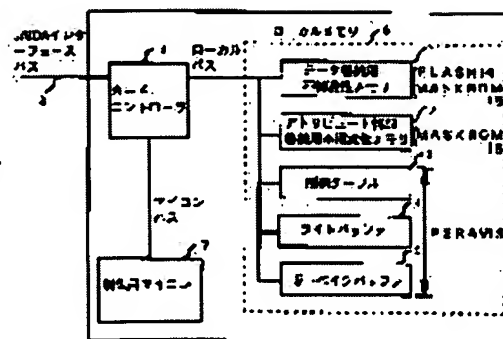
(72)Inventor : **KATAYAMA KUNIHIRO**
KAKI KENICHI
OOKUBO CHIKAO
KIKUCHI TAKASHI
KISHI MASAMICHI
SUZUKI TAKESHI
KADOWAKI SHIGERU
TSUNEHIRO TAKASHI
TAKATANI YOSHIO
SAITO MANABU

(54) SEMICONDUCTOR FILING SYSTEM

(57)Abstract:

PURPOSE: To provide a semiconductor filing system in which write speed on memory can be accelerated and a long service life, a low cost, and reliability can be attained.

CONSTITUTION: This system is provided with a card controller 9 which controls the inside of a card and a microcomputer 7 which controls file data and the card controller 9. Furthermore, flash memory and a mask ROM (inexpensive) are used as memory 1 for file data storage as local memory 6, and the mask ROM is shared as memory 2 for attribute storage. Also, a PSRAM 13 is used as a control table 3 that is a part of data managing information(information to record the number of times of rewrite and to uniformalize the number of times of rewrite), a write buffer 4 for the acceleration of write speed, and a garbage buffer 5 when unrequired data erasure processing is performed.



LEGAL STATUS

[Date of request for examination]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-36759

(43) 公開日 平成7年(1995)2月7日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	P I	技術表示箇所
G 0 6 F 12/00	5 2 0 P	8944-5B		
G 0 6 K 19/07				
G 1 1 C 16/06				
			G 0 6 K 19/ 00	N
			G 1 1 C 17/ 00	3 0 9 Z
			審査請求 未請求	請求項の数 7 O L (全 54 頁)

(21) 出願番号 特願平5-175619

(22) 出願日 平成5年(1993)7月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(71) 出願人 000233217

日立京業エンジニアリング株式会社

千葉県習志野市東習志野7丁目1番1号

(74) 代理人 弁理士 宮田 和子

最終頁に続く

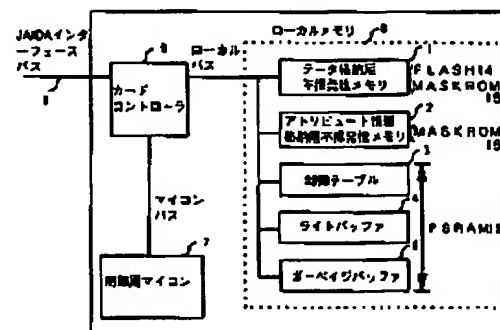
(54) 【発明の名称】 半導体ファイルシステム

(57) 【要約】

【目的】 メモリへの書き込み速度の向上、長寿命化、低価格化、および信頼性向上を図った半導体ファイルシステムを提供する。

【構成】 カード内部のコントロールを行うカードコントローラ9と、ファイルデータやカードコントローラの制御を司るマイコン7とを有する。さらに、ローカルメモリ6としてファイルデータ格納用メモリ1にフラッシュメモリとマスクROM（低価格である）を使用し、そのマスクROMをアトリビュート格納用メモリ2として共用する。また、PSRAM13をデータ管理情報（音換え回数を記録し、音換え回数の均等化を図るための情報）の一部である制御テーブル3、書き込み速度向上のためのライトバッファ4及び不要データ消去処理時のガーベージバッファ5として使用する。

図 1



(2)

特開平7-36759

1

【特許請求の範囲】

【請求項1】電気的消去可能な第1の不揮発性メモリと、電気的消去不可能な第2の不揮発性メモリと、揮発性メモリと、これらのメモリを制御するコントローラと、上記コントローラを制御する制御部とを有して、外部から指定された論理アドレスに対応する物理アドレスにアクセスする半導体ファイルシステムにおいて、

上記第1の不揮発性メモリは、外部で演算処理を行うためのデータと、該データが格納されている物理アドレスと論理アドレスとの対応を示す第1の管理情報と、上記第1の不揮発性メモリの状態を示す第2の管理情報とを記憶し、

上記第2の不揮発性メモリは、外部と上記データを出入力するためのインターフェース情報と、上記データのうちの書替え不要なものとをあらかじめ記憶し、

上記コントローラは、上記第1の不揮発性メモリからデータを出力する際および上記揮発性メモリにデータを入力する際に、上記物理アドレスの予め定められた上位ビットを構成する物理セクタアドレスを決定する制御手段と、上記決定された物理セクタアドレスを格納するセクタアドレス格納手段と、上記物理セクタアドレスで決まるセクタ内のアドレスを連続発生するアドレス連続発生手段とを有し、

上記制御部は、上記インターフェース情報と上記第1、第2の管理情報とに従って、外部とのデータの出入力を制御し、外部から上記第1の不揮発性メモリへの書き込みデータを一旦上記揮発性メモリに記憶させた後、上記揮発性メモリから上記書き込みデータを上記第1の揮発性メモリに転送し、

上記アドレス連続発生手段及びセクタアドレス格納手段は、上記第1の不揮発性メモリから上記物理セクタアドレスのデータを出力する際および上記揮発性メモリに上記物理セクタアドレスのデータを入力する際に、物理セクタアドレスおよび上記連続発生されたアドレスを上記第1の揮発性メモリおよび揮発性メモリに出力することを特徴とする半導体ファイルシステム、

【請求項2】請求項1記載の半導体ファイルシステムにおいて、

上記揮発性メモリは、上記第1の不揮発性メモリに格納されたデータのうち不要なデータを消去する際に、消去処理の対象となる範囲に含まれる必要なデータを一時的に記憶することを特徴とする半導体ファイルシステム、

【請求項3】請求項1または2記載の半導体ファイルシステムにおいて、

上記セクタアドレス格納手段を複数個有し、

上記半導体ファイルシステムは、

複数セクタを連続でアクセスする要求を外部から受けた場合に、一方のセクタアドレス格納手段に次にアクセスするセクタアドレスを格納する制御部と、

1セクタ分のデータの出入力が終了後、上記一方のセク

2

タアドレス格納手段が有する物理セクタアドレスを他方のセクタアドレス格納手段が受付けるための信号を出力する手段とを有することを特徴とする半導体ファイルシステム、

【請求項4】請求項1、2または3記載の半導体ファイルシステムにおいて、

上記第1、第2の管理情報は、揮発性メモリに転送され、

上記データに対応した上記管理情報にアクセスする際に、上記管理情報の種類に対応して予め定められたアドレスを出力する制御部と、

上記予め定められたアドレスと、上記データに対応した論理セクタアドレスとより、上記管理情報が格納されている物理アドレスを生成するアドレス生成部とを有することを特徴とした半導体ファイルシステム、

【請求項5】請求項1、2、3または4記載の半導体ファイルシステムにおいて、

上記コントローラから割込み信号を受付けて、割込み要因に応じた処理を行う制御部と、

割込み要因を記憶する割込み要因記憶手段とを有し、上記制御部は、割込み信号を受付けると、上記割込み要因記憶手段から割込み要因を読みだすことを特徴とする半導体ファイルシステム、

【請求項6】請求項1、2、3、4または5記載の半導体ファイルシステムにおいて、

上記揮発性メモリがリフレッシュを必要とするものである場合に、上記揮発性メモリのリフレッシュ制御のために、予め定められた一定時間を計測する時間計測手段と、

上記一定時間内に行われたリフレッシュ回数をカウントする計数手段と、

リフレッシュ制御信号を出力し、上記時間計測手段が計測する一定時間内にリフレッシュ制御信号を出力した回数が一定回数に達した後は、上記一定時間内はリフレッシュ制御信号を出力しないリフレッシュ制御信号出力手段とを有することを特徴とする半導体ファイルシステム、

【請求項7】請求項1、2、3、4、5または6記載の半導体ファイルシステムにおいて、

上記インタフェース情報は、PCMCIA規格のインタフェース仕様で有り、

ICカードとして構成されたことを特徴とする半導体ファイルシステム、

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体ファイルシステムに係り、特に不揮発性メモリを記憶媒体として高性能高信頼性を図った半導体ファイルシステムに関する、

【0002】

【従来の技術】半導体ファイルシステム、例えば、小型

(3)

特開平7-36759

3

情報機器であるカード型ファイル記憶システムには、フラッシュメモリを用いたものがある。フラッシュメモリは電氣的に書き替え可能なROMであり、不揮発性メモリでありながらファイル記憶装置の記憶媒体として期待されるメモリ素子である。一種のEEPROMと捉えることもできるが、一般的なEEPROMとの決定的な違いはデータの消去単位を大きくすることにより集積度を高くしていることである。従って大容量のファイル記憶装置を比較的安価に構築できる。このフラッシュメモリを使用したファイル記憶装置の従来技術としては特開平2-292798号公報のフラッシュEEPROMシステムが挙げられる。これはフラッシュメモリの素子的な欠点である書き換え回数の制限を、システムの対策をとることにより緩和する方式についての発明であり、ファイル記憶装置に適したフラッシュメモリチップの構造を提案する。さらに、誤り訂正制御や、キャッシュメモリを用いて、キャッシュメモリの書き換えのために1番長いあいだ書き換えられずにいるファイルを見つけるためのファイル書き換えの時間監視制御を行うことも提案した発明である。誤り訂正制御とは磁気ディスク装置に合わせたフラッシュメモリの記憶単位である1セクタ512バイトごとに誤り訂正符号を付与し、素子不良によりデータ誤りが生じた際に誤り訂正符号をもとに検出し訂正するものである。これにより実質的に可能な書き換え回数を増やすことが可能である。またファイル書き換えの時間監視制御とは具体的には、一度書き込まれたファイルが次に書き換えられるまでの時間を監視し、1番長く書き換えられていないファイルでなければ揮発性のバッファメモリ（キャッシュメモリ）にデータを格納しておき、頻繁に書き換えが起こるファイルに対してフラッシュメモリの実質的な書き換え回数を減じるものである。これらのアイデアを採用することによりフラッシュメモリを使用した記憶装置として実用的な寿命を確保することを目的としている。

【0003】

【発明が解決しようとする課題】上記従来技術はフラッシュメモリの書き換え回数に制限があることに鑑み、記憶媒体としてフラッシュメモリ以外にそれよりも高速かつ書き換え寿命の長い揮発性メモリ（キャッシュメモリ）を設け、揮発性メモリには、頻繁に書き換えが行われるファイル、例えば、ディレクトリやFAT（ファイルアロケーションテーブル）を記憶することとしている。しかしこの揮発性メモリはフラッシュメモリのもう一つの欠点である書き換えの遅さをカバーするようには使用されていない。つまりメモリの延命策として先述の揮発性メモリに頻繁に書き換えるファイルを格納して、フラッシュメモリ上では書き換えが起きないようにしているが、キャッシュメモリのため大容量のファイルは格納できない。例えば初めて書き込む大容量のファイルは揮発性メモリを使用せず、書き込み速度の遅いフラッシュメモリに直接書き込むことになるため、書き込みアクセスが低速化することになる。つまり磁気ディスク装置では高速にアクセスが可能となる連続的な大容量のデータに関して、アクセス性能が磁気ディスク装置に対して非常に劣るようになる。同様に誤り訂正符号を使用することは、その符号生成や誤り検出、訂正に時間と多大な処理量を要し、性能低下や回路の複雑化を招く。

4

【0004】またフラッシュメモリは将来的には半導体メモリの中では安価になると考えられているが、ファイル記憶装置として現在主流となっているハードディスク装置との価格差は耐衝撃性の有利さでは補いきれないものがあり、ここ数年はこの状態が続くものと予想される。またハードディスク自体技術革新が進み、小型軽量化耐衝撃性の向上には目を見張るものがあり、価格的に対抗できるようにしなければ半導体ファイルシステムを一般化することはできない。

【0005】そしてまたハードディスクとの差別化の一つである薄型化を強調して、ICカード化を進めるべきであるが、このためにはICカードの標準規格であるPCMCIA（Personal Computer Memory Card International Association）規格のインタフェース仕様をカード内に盛り込むことを考慮した構成にしなければならない。

【0006】上記従来技術はこれらのことに対する考慮がなされていない。本発明は、書き込み時の高速化と、低価格化とを図り、さらにICカードの標準規格に対応できるファイルシステムを提供することである。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明は、電氣的消去可能な第1の不揮発性メモリと、電氣的消去不可能な第2の不揮発性メモリと、揮発性メモリと、これらのメモリを制御するコントローラと、上記コントローラを制御する制御部とを有して、外部から指定された論理アドレスに対応する物理アドレスにアクセスする半導体ファイルシステムにおいて、上記第1の不揮発性メモリは、外部で演算処理を行うためのデータと、上記データが格納されている物理アドレスと論理アドレスとの対応を示す第1の管理情報と、上記第1の不揮発性メモリの状態を示す第2の管理情報とを記憶し、上記第2の不揮発性メモリは、外部と上記データを入出力するためのインタフェース情報と、上記データのうちの書き換え不要なものとをあらかじめ記憶し、上記コントローラは、上記第1の不揮発性メモリからデータを出力する際および上記揮発性メモリにデータを入力する際に、上記物理アドレスの予め定められた上位ビットを構成する物理セクタアドレスを決定する制御手段と、上記決定された物理セクタアドレスを格納するセクタアドレス格納手段と、上記物理セクタアドレスで決まるセクタ内のアドレスを連続発生するアドレス連続発生手段とを有し、上記制御部は、上記インタフェース情報

(4)

特開平7-36759

5

報と上記第1、第2の管理情報とに従って、外部とのデータの入出力を制御し、外部から上記第1の不揮発性メモリへの書き込みデータを一旦上記揮発性メモリに記憶させた後、上記揮発性メモリから上記書き込みデータを上記第1の揮発性メモリに転送し、上記アドレス連続発生手段及びセクタアドレス格納手段は、上記第1の不揮発性メモリから上記物理セクタアドレスのデータを出力する際および上記揮発性メモリに上記物理セクタアドレスのデータを入力する際に、物理セクタアドレスおよび上記連続発生されたアドレスを上記第1の揮発性メモリおよび揮発性メモリに出力することとしたものである。

【0008】

【作用】本発明では、記憶データの格納単位をハードディスクの1セクタと同じとする。そしてホストとのデータのやり取りは全てこのセクタ単位で行う。これを高速転送するために高速にアドレスを発生する手段を設ける。そしてこの高速アドレス発生に書き込み速度を合わせるために揮発性メモリをライトバッファとして用い、全ての書き込みデータを一度このライトバッファに格納する。そしてライトバッファはあくまでも一時的なデータ退避に用い、ホストからのデータ転送終了後にはライトバッファからフラッシュメモリへのデータ転送を速やかに行う。つまりライトバッファはフラッシュメモリの寿命対策には用いず、高速データ転送のためだけに用いる。フラッシュメモリの寿命対策には、例えば、消去回数の管理を行うことにより図る。これはフラッシュメモリの消去単位に消去回数を第2の管理情報として記録し、この消去回数によりフラッシュメモリの劣化度を判断して書き込み位置の決定に用い、劣化の進行を平均化するものである。このため消去回数の記録等は、ライト

【0009】一方データ格納用のメモリとしてフラッシュメモリ（第1の不揮発性メモリ）と、電気的書換え不可能な不揮発性メモリ（第2の不揮発性メモリ）、例えばマスクROMやワンタイムPROMとを使用する。そしてこの電気的書換え不可能な不揮発性メモリをインターフェース情報（例えば、ICカードの内部構成やアクセス形式など）を格納するメモリとして用いる。

【0010】上記により、ホストから本半導体ファイルシステムに対するデータ転送時にはホストのデータ転送スピードに合わせてアドレスを発生して、アドレスをライトバッファとなる揮発性メモリに与えることによりフラッシュメモリの書換え速度に依存しない高速な書き込みができる。一方読み出し時にはフラッシュメモリに上記のアドレス発生手段によるアドレスを与えればホストに合わせた読み出しが可能である。このことは本システムの制御手段の動作速度がホストと比較して遅く、制御手段からのアドレス発生では速度ネックとなってしまうときに特に有効である。また消去回数管理によりフラッシュメモリの長寿命化を図ることができる。そして消去

6

回数管理のために必要となる、記憶手段はライトバッファと同様の揮発性メモリを兼用するため、部品点数の増大を招かない。

【0011】またこの揮発性メモリを第1、第2の管理情報の格納メモリとして使用することにより管理情報の格納、引出を高速にかつ効率的に行うことができる。一方データ格納メモリとしてフラッシュメモリの他に、安価な電気的書換え不可能な不揮発性メモリを使用することにより、より安価なファイル記憶媒体を構築できる。またこの電気的書換え不可能な不揮発性メモリをICカード情報の格納に使用すれば、標準規格であるPCMCIA規格などに準拠することが可能となる。また上記全てを実行すれば、3種類のメモリで様々な用途を兼任することができ、用途ごとにメモリを設ける場合に比べて部品点数を減らすことができる。特にICカードなど小型化を目指す際には部品数削減に大きく貢献する。

【0012】

【実施例】半導体ファイルシステムの実施例のブロック図を図1に示す。本例は、ローカルメモリ6と、制御用マイコン（制御部）7と、JEIDAインタフェースバス8とのデータの受渡しをコントロールするカードコントローラ（コントローラ）9とを有する。ローカルメモリ6は、データ格納用不揮発性メモリ1と、アトリビュート情報格納用不揮発性メモリ2と、制御テーブル3と、ライトバッファ4と、ガーベージバッファ5とを有する。詳細な回路図を図2、図3に示す。本実施例は、カードコントローラ9、マイコン（H8/325）7、クロック発振器10、パワーオンリセットIC11、VPPスイッチング回路12、PSRAM（疑似SRAM）13（512KW×8bit）×1個、FLASH14（1MW×8bit）×8個、MASKROM15（512KW×8bit）×6個から構成されている。カードコントローラ9は、本半導体ファイルシステムのJEIDA（Japan Electronic Industry Development Association 日本電子工業振興協会）インタフェース側とのインタフェース部分であり、ホストからのデータのやり取りは、必ずこのカードコントローラ9を介して処理が行なわれる。PSRAM13、FLASH14、MASKROM15のアクセスコマンド信号はこのカードコントローラ9で生成している。FLASHライト時に必要となるVPP16は、マイコン7のポート41（17）によりVPPスイッチング回路12の切り替えを行ない、FLASH14へのVPP16の供給のオン/オフを行なっている。本半導体ファイルシステムは、20MHzのクロック発振器10を搭載しており、このクロック信号18に同期してカードコントローラ9とマイコン7は動作している。パワーオンリセットIC11は電源投入時にカードコントローラ9及び、マイコン7のリセット信号19を作る回路である。また、本半導体ファイルシステムではFLASH14とMASKR

(5)

特開平7-36759

7

OM15の実装容量の変更を外部ピンMCC0~3(20, 21, 22, 23)により行なえるようにしている。

【0013】次にインターフェース仕様を示す。図4のようにインタフェースコントローラ24を介しホスト側のシステムバス25に接続し、ホスト側とのファイルデータのやり取りを行う。本実施例では図5のアドレスマップのように、I/O空間にデータ26、エラー27、ライトブリコンプ28、セクタカウント29、セクタ番号30、シリンダ番号Low31、シリンダ番号High32、SDH33、ステータス34、コマンド35、Aステータス36、デジタルアウトプット37、ドライバアドレス38の各レジスタを、メモリ空間にコンフィギュレーションオプション39、コンフィギュレーションステータス40、コンフィギュレーションピンリブレースメント41の各レジスタとアトリビュート情報42*

8

を配置した。データレジスタ26は、シーケンシャルなファイルデータの受渡しができる16bitの窓である。各レジスタは、それぞれのI/O空間及びメモリ空間のリード/ライトでアクセスされる。なお、これらのレジスタの説明は、カードコントローラ9の説明のところで行なう。アトリビュート情報42はカード属性を示すもので、MASKROM15に格納されており、このメモリ空間をリードすることによりホストに出力される。このI/O空間リードタイミングを図6に、I/O空間ライトタイミングを図7に、それらのタイミングスペックを表1に、メモリ空間リードタイミングを図8に、メモリ空間ライトタイミングを図9に、それらのタイミングスペックを表2に示す。本実施例のピン仕様を表3に示す。

【0014】

【表1】

表1

項 目	シンボル	Min	Max
IORDN 後のデータディレイ	TD(IORD)		100
IORDN に続くデータホールド	TH(IORD)	0	
IORDN 幅	FW(IORD)	165	
IORDN 前のアドレスセットアップ	TSU(IORD)	70	
IORDN に続くアドレスホールド	THA(IORD)	20	
IORDN 前のREGNセットアップ	TSUREG(IORD)	5	
IORDN に続くREGNホールド	THREG(IORD)	0	
IORDN からのIOIS16Nディレイライジング	TDRIOS16(IORD)		45
アドレス からのIOIS16Nディレイフォーリング	IDFIOIS16(ADR)		35
アドレス からのIOIS16Nディレイライジング	IDRIOS16(ADR)		35
IOWRN 前のデータセットアップ	TSU(IOWR)	60	
IOWRN に続くデータホールド	TH(IOWR)	30	
IOWRN 幅	FW(IOWR)	165	
IOWRN 前のアドレスセットアップ	TSU(IOWR)	70	
IOWRN に続くアドレスホールド	THA(IOWR)	20	
IOWRN 前のREGNセットアップ	TSUREG(IOWR)	5	
IOWRN に続くREGNホールド	THREG(IOWR)	0	

【0015】

【表2】

(6)

特開平7-36759

9

10

表2

項 目	シンボル	Min	Max
リードサイクル時間	tCR	300	
アドレスアクセス時間	tA(A)		300
OENアクセス時間	tA(OE)		150
出力ディセーブル(OE)	tDIS(OE)		100
出力イネーブル時間(OE)	tEN(OE)	5	
データ有効時間(A)	tV(A)	0	
ライトサイクル時間	tCW	250	
ライトパルス幅	tW(WE)	150	
アドレスセットアップ時間	tSU(A)	30	
アドレスセットアップ時間 (WEN)	tSU(A-WEN)	180	
データセットアップ時間(WEH)	tSU(D-WEN)	80	
データホールド時間	tH(D)	30	
ライトリカバー時間	tREC(WE)	30	

【0016】

【表3】

(7)

特開平7-36759

11

12

表3

信号名	I/O	概 要
SD0 ~ SD15	I/O	16bitデータバスである。ファイルデータの転送は全て16bitで行なわれ、レジスタ及びアトリビュート情報のアクセスは8bitで行なわれる。
SA0 ~ SA25	I	64MBのアドレス空間を持つアドレスバスである。ただしISAバスのメモリ空間は、A0~A9しか使用しないためこのアドレスデコードしか行なわない。
REGN	I	I/O領域とカード内部のアトリビュート情報及びレジスタをアクセスするイネーブル信号である。つまりコモンメモリ領域以外のアクセスではアクティブにする必要がある。
CE1N, CE2N	I	バイト単位で制御するデータバスのイネーブル信号であるCE1NがD0~D7を、CE2NがD8~D15をそれぞれイネーブルする。ただし本カードでは使用しない。
OEN	I	コモンメモリのアウトプットイネーブル信号である。本カードではコンフィギュレーションレジスタ及び、アトリビュート情報のリードに使用する。
WEN	I	コモンメモリのライトイネーブル信号である。本カードではコンフィギュレーションレジスタのライトに使用する。
IREQN	O	ホストへの割り込み要求信号
RFSHN	I	内蔵メモリのリフレッシュ制御の入力ピンである。本カードでは使用しない。
CD1N, CD2N	O	カード検出信号。2本ともアクティブでないと装置検出されない。
IOIS16N	O	16bit I/Oアクセスを示す出力信号
IORDN	I	I/O リードコマンド信号
IOWRN	I	I/O ライトコマンド信号
RESET	I	システムリセット信号
WAITN	O	ウェイト信号。本カードでは使用しない。
INPACKN	O	入力応答信号。本カードでは使用しない。
SPKRN	O	スピーカ-のイネーブル信号。本カードでは使用しない。
STSCHG	O	状態変化信号。本カードでは使用しない。
RFU	—	リザーブピン
Vcc	I	動作電源
GND	I	グランド
Vpp1, Vpp2	I	プログラム用電源

【0017】本実施例はJEIDA規格のI/Oカード仕様に準拠したものである。なお、本実施例ではこれらのレジスタをI/O空間とメモリ空間に分けてマッピングしているが、もちろんすべてをメモリ空間上にマッピングする方式にも拡張は可能である。

【0018】次に本半導体ファイルシステム内の各ブロックについて説明する。まずカードコントローラ9について説明する。ブロック構成を図10に示す。カードコントローラ9はホスト側アドレス43をデコードするデコーダA44、ホストとのファイルデータの受け渡し口であるデータレジスタ部45、前述したI/O空間のレジスタで構成されるレジスタ部46、データバス切り換え部47、ローカルメモリ6のアドレス48を生成するローカルアドレス生成部(アドレス生成部)49、この

ローカルアドレス48をデコードするデコーダB50、制御用マイコン7のアドレスをデコードするデコーダC52、クロック発振器10からの20MHzのクロック18及びそれを10MHz、5MHzに分周し、各ブロックに分配するクロック分配分周部53、ホスト側のコントロール信号54を受けて各ブロックのコントロール信号55及びローカルメモリのコントロール信号56を生成したり、ホスト側への割り込み信号57や制御用マイコン7への割り込み信号58を生成する制御部59から構成されている。ここでホストアドレスバス43をSA、ホストデータバス60をSD、マイコンアドレスバス51をPA、マイコンデータバス61をPD、ローカルアドレスバス48をLA、ローカルデータバス62をLDとする。

(8)

特開平7-36759

13

【0019】次にカードコントローラの各ブロックについて説明する。図11にデータレジスタ部45のブロック図を示す。データレジスタ部45はファーストデータレジスタ63とセカンドデータレジスタ64で構成され、ファーストデータレジスタ63はSD(60)に接続されファーストデータレジスタ63、セカンドデータレジスタ64ともにデータバス切り換え部47に接続されている。ファーストデータレジスタ63は、ホストからの16bitデータをラッチし8bit毎にローカルデータバスへ出力する機能と、セカンドデータレジスタ64の16bitデータをラッチしホスト側へ出力する機能と、ローカルメモリからの16bitデータをラッチしホスト側へ出力する機能を持ったレジスタである。セカンドデータレジスタ64はローカルメモリからのデ*

14

*ータを8bit毎にラッチし、ファーストデータレジスタ63に出力する16bitレジスタである。なお、これらのコントロール信号55は制御部56で生成される。

【0020】図12にレジスタ部46のブロック図を示す。レジスタ部46は、ホスト側、マイコン側両方からアクセス可能なレジスタ群である。ホスト側とはSD(60)で接続されデコーダA44で選択される。マイコン側とはデータバス切り換え部47でマイコンデータバスに接続されデコーダC52で選択される。これらのレジスタの一覧を表4、表5に示す。

【0021】

【表4】

表4

レジスタ名	ホスト R/W	概 要
エラー	R	エラー発生時に原因をホストに報告するレジスタ
ライトブリコンプ	W	現在は使用していない
セクタカウント	R/W	マルチセクタアクセス時にセクタ数を設定するレジスタ
セクタ番号	R/W	アクセスの開始セクタ番号を設定するレジスタ
シリンダ番号Low	R/W	アクセスするシリンダ番号10bitの内下位8bitを設定するレジスタ
シリンダ番号High	R/W	アクセスするシリンダ番号10bitの内上位2bitを設定するレジスタ
SDH	R/W	アクセスするヘッド番号を設定するとともに、ドライブの選択をするレジスタ
ステータス	R	ドライブの状態を報告し、コマンド要求時に必ずアクセスするレジスタ。リードすることによりIREQNがネゲートされる。 bit0="1" : データ転送要求
コマンド	W	対応するコマンドコードを書き込むことによりコマンド要求をするレジスタ
Aステータス	R	ステータスレジスタと物理的に同一のレジスタだが、リードしてもIREQNはネゲートされない
デジタルアウトプット	W	リセットと割り込みのイネーブルの設定を行なうレジスタ
ドライブアドレス	R	書き込めを示すbitと、選択されたヘッド番号とドライブを示すレジスタ

【0022】

50 【表5】

(9)

特開平7-36759

15

16

表5

レジスタ名	ホスト R/W	概 要
コンフィギュレーション オプション	R/W	ホストへの割り込みモードを設定するレジスタ bit6=1:割り込み要求信号がレベルモード =0:割り込み要求信号がパルスモード
コンフィギュレーション ステータス	R/W	ホストが電源遮断の要求を設定するレジスタ bit2=1:電源遮断要求
コンフィギュレーション ピンリプレースメント	R/W	カードコントローラが電源遮断の許可を設定 するレジスタ bit5=1:電源遮断可

【0023】表4は1/O空間の8bitレジスタである。これらは、マイコン側からは全てリード/ライト可能であるが、ホスト側からはリード/ライト可能のもの、リードのみのもの、ライトのみのものに分かれている。表5はメモリアドレス空間のコンフィギュレーションレジスタの一覧であり、これらはホスト側からもマイコン側からもリード/ライトできる8bitレジスタである。

【0024】図13にローカルアドレス生成部49のブロック図を示す。ローカルアドレス生成部49は、ローカルアドレス48の上位アドレスを出力するバンクレジスタ65とセクタ転送時の下位アドレスを発生する9ビットカウンタ(アドレス連続発生手段、及びマルチセクタ転送において、1セクタ分のデータの入出力が終了

*後、上記一方のセクタアドレス格納手段が有する物理セクタアドレスを他方のセクタアドレス格納手段が受け取るための信号を出力する手段である)66、及びこの9ビットカウンタ66の出力67とPA(51)を選択するマルチプレクサ68で構成される。バンクレジスタ65はマイコン7側からアクセス可能なレジスタ群であり、各PPD(61)に接続され、デコーダC52で選択される。この中には、セクタアドレス格納手段であるファーストファイルバンクレジスタ651と、セカンドファイルバンクレジスタ652とが含まれる。これらのレジスタの一覧を表6に示す。

【0025】

【表6】

表6

レジスタ名	サイズ	概 要
ファースト ファイルデータバンク	16bit	物理セクタ番号を設定するレジスタ
セカンド ファイルデータバンク	16bit	物理セクタ番号を設定するレジスタ
ライトバッファバンク	16bit	セクタバッファ番号を設定するレジスタ
ガーベージ バッファバンク	16bit	セクタバッファ番号を設定するレジスタ
論理セクタテーブル 設定	16bit	物理セクタ番号を設定するレジスタ

【0026】なお、9ビットカウンタ66とマルチプレクサ68のコントロール信号55は、制御部59で生成する。

【0027】図14に制御部59のブロック図を示す。制御部59は、セクタ転送の制御のためにマイコン7がリード/ライトする制御レジスタ69と、デコーダA4

4の出力、制御レジスタ69の出力及びホスト側からのコントロール信号54を受けて、各ブロックのコントロール信号55、ローカルメモリのコントロール信号56及び割り込み信号57、58を生成する制御信号生成部70で構成される。制御レジスタ69はマイコン7側からアクセス可能なレジスタ群であり、各PPD(61)

(10)

特開平7-36759

17

18

に接続され、デコーダC52で選択される。これらのレジスタの一覧表を表7に示す。

表7

レジスタ名	サイズ	概 要
セクタ転送起動	8bit	セクタ転送状態を設定するレジスタ。 "1" ライトでセクタ転送状態となる。
セクタ転送コントロール	8bit	セクタ転送のモード（リード/ライト、FLASH /MASK ROM/PSRAM、ECC有無）を設定するレジスタ。
マルチ転送サイズ	8bit	複数セクタの連続転送（マルチ転送）時に転送するセクタ数を設定するレジスタ。1セクタ転送時は"1" ライト
割り込み要因	8bit	マイコンへの割り込み要求の要因を設定するレジスタでセットされるとIRQZNがアサートされる。 bit5="1": ソフトリセット bit6="1": セクタ転送終了 bit7="1": コマンド入力
IREQセット	8bit	ホストへの割り込み要求を発生させる際に設定するレジスタ。"1" ライトでIREQNアサート、ホストのステータスレジスタリードで"0"になる。
メモリサイズ	8bit	ファイルメモリの容量を設定するレジスタ。値はカードコントローラのMCC0-3入力Pinで外付け固定。

【0029】以下に本実施例の動作を述べる。最初にセクタ転送について説明する。セクタ転送にはホストからPSRAM内のライトバッファへのセクタ転送を行なうセクタライト、PSRAM、FLASH及び、MASK ROMからホストへのセクタ転送を行なうセクタリード。これらのセクタ転送を複数回行なうマルチ転送、ECCデータ付のロング転送がある。これらの選択は図12に示すコマンドレジスタ469にライトされたコマンドをマイコンが解析し、図14に示すセクタ転送コントロールレジスタ692に転送モードをライトすることにより行なわれ、セクタ転送起動レジスタ691にマイコンがセットした後、ホスト側の起動によりセクタ転送を開始する。

【0030】まずセクタライト転送の動作について図15のハードウェア構成、図16のタイムチャートを用いて説明する。本実施例ではPSRAM13を8ビットバスでカードコントローラに接続した為、以下の手順でセクタライト転送を行なった。ホストからの16ビットのデータ60をファーストデータレジスタ63に格納し、制御部59で下位8ビット、上位8ビット用の選択信号(A)71、(B)72を作成する。この信号を基にマルチプレクサ73にて、(A)71がアサート時には下位8ビットを、(B)72がアサート時には上位8ビットのデータをLD(62)に出力している。PSRAM13用のCEN74、WEN75については、制御部59にて信号を作成している。ローカルアドレス48は

制御部59でIOWRN76に同期して作成したカウンタアップ信号77をローカルアドレス生成部49に出力し、9ビットカウンタ66にて下位アドレス67を生成し、物理セクタ番号78と合成することにより作成し、PSRAM13へ出力する。タイミングについては図16に示すように、SD(60)から入力される16ビットデータを、IOWRN76の立ち上がりエッジでファーストデータレジスタ63にラッチする。その後、このデータをIOWRN76の立ち上がりエッジと20MHzのクロック79とを用いて作成した(A)71、

(B)72、CEN74、WEN75、及びカウンタアップのタイミングをこれらにあわせてLA(48)を用いて512ワード×8ビットのデータとして下位8ビット、上位8ビットの順でPSRAM13にライトする。尚、図中の数字は、クロック79のどのタイミングで同期したかを示している。このセクタ転送後、内部処理としてマイコン7がPSRAMからFLASHへのデータ転送を1byteずつ行なう。

【0031】次にPSRAMからのセクタリード転送とFLASHからのセクタリード転送の動作について図17、図18のそれぞれのハードウェア構成、を用いて説明する。タイミングについては、FLASH14、PSRAM13ともに同じ手順でセクタリード転送している為、図19の共通のタイムチャートを用いて説明する。セクタリード転送の開始前に先頭の1ワードのデータをFLASH14またはPSRAM13からセクタデー

(11)

特開平7-36759

19

タレジスタ64の下位8ビット、上位8ビットにラッチしておく。(この処理を以下プレリードと略す。)このプレリードの為にLA(48)のカウンタアップ信号77及び、PSRAM-CEN74、FLASH-CEN80、PSRAM-OEN81、FLASH-OEN82、(C)83、(D)84はセクタ転送前処理時のセクタ転送起動レジスタセットのタイミングを基に制御部59で生成している。次にPSRAM13またはFLASH14からの8ビットデータを(C)信号83の立ち上がりエッジでセカンドデータレジスタ64の下位8ビット側へ取り込み、次の8ビットデータを(D)信号84の立ち上がりで上位8ビット側へ取り込む。このデータを16ビットデータとしてファーストデータレジスタ63に(E)信号85の立ち上がりエッジで取り込み、(E)85が"H"となっている期間ホスト側データバスSD(60)に16ビットデータを出力する。このようにして、512ワード×8ビットを256ワード×16ビットのシーケンシャルデータに変換している。タイミングについては、IORDN86の立ち下りのエッジをクロック79と同期させ、PSRAM-CEN74、PSRAM-OEN81、(C)83、(D)84の信号を図中の数字のタイミングで作成している。

(E)85はIORDN86を反転したものである。なお、FLASH-CEN80、OEN82についてはアドレス切り換え時、ネゲートする必要がないため、データ転送中アサートしたままである。

【0032】次にMASKROMからのセクタリード転送の動作について図20のハードウェア構成と図21のタイムチャートを用いて説明する。本例では、MASKROM15のアクセスタイムが遅く、PSRAM及びFLASHのセクタリード転送のような8ビットインターリーブ転送ができないため、16ビットバスでカードコントローラ9に接続し、セカンドデータレジスタ64を介さずファーストデータレジスタ63に16ビット長でラッチするようにしている。この場合、ローカルアドレス48の発生は256ワードで良く、9ビットカウンタ66の出力のうち下位バイト、上位バイトの切り換えに用いられているLA0(87)は不要となるため、LA1~19(88)をMASKROMのアドレスA0~18に入力し、CEN89を、下位側、上位側共通としている。タイミングについては(F)信号90の立ち上がりエッジでファーストデータレジスタ63にデータを取り込み、(F)信号90のアサート時にファーストデータレジスタ63のデータをホストへ出力する。(F)信号90は、IORDN86を反転したものである。アドレスカウンタアップのタイミングは、IORDN86の立ち上りのエッジを20MHzのクロック79で同期し、図中の数字のタイミングで行なっている。

【0033】次にマルチセクタ転送について述べる。マルチセクタ転送はセクタ転送の繰り返しであり、転送の

20

方法は前述した1セクタの転送と同じである。ここで1セクタ転送と1セクタ転送の間の物理セクタ番号の切り換えは、以下のようにしている。その方法を図22のハードウェア構成図と図23のタイミングチャートを用いて説明する。マイコン7がセカンドファイルバンクレジスタ91をポーリングし"FFFFh"ならばマイコン7がセカンドファイルバンクレジスタ91へ物理セクタ番号(本例では物理セクタ番号m)をライトする。次に、9ビットカウンタ66にて512回カウントし、512回目にリップル信号92が出力される。このリップル信号92の立ち上がりでセカンドファイルバンクレジスタ91の16ビットのたれ流しデータである物理セクタ番号をファーストファイルバンクレジスタ93にラッチする。ラッチすると同時にLA(48)に出力する。この方式により、511番地から0番地に変わるタイミングでセクタ番号のセットができ、マルチ転送が可能となる。物理セクタ番号の切り換え後、カードコントローラ9がセカンドファイルバンクレジスタ91を物理セクタ番号として割り付けられていないデータ"FFFFh"にセットし、マイコン7がこれをポーリングにより確認すると次の物理セクタ番号(本例ではn)をセカンドファイルバンクレジスタ91に書き込む。上記の処理を複数セクタ分繰り返す。繰り返し回数は図12に示すセクタカウンタレジスタ463に書かれたセクタ数をマイコンがリードし、それを図14に示すマルチ転送サイズレジスタ693にライトすることにより制御部で管理している。なお、最初のセクタについては、セクタ転送前処理でセカンドファイルバンクレジスタ91に物理セクタ番号をライトし、セクタ転送起動レジスタセット時に、セカンドファイルバンクレジスタ91からファーストファイルバンクレジスタ93へ物理セクタ番号の転送を行なっている。この後、自動的にセカンドファイルバンクレジスタ91を"FFFFh"にセットするようにしている。

【0034】次にロング転送について述べる。転送方法は、前述した1セクタのセクタ転送と同じである。但し、セクタライト転送の場合にはホスト側からの256ワード×16ビットデータ入力後、8ビットのECCデータが4バイト出力されると、カードコントローラではその間セクタ転送の終了を延長し、ECCデータの書き込みを行なうようにしている。また、セクタリード転送の場合には、ホストへの256ワード×16ビットデータの出力の後、セクタ転送の終了を延長し、カードコントローラより8ビットECCデータを4バイト生成し出力する。

【0035】次にローカルアドレス生成動作について説明する。

【0036】最初にセクタ転送時のローカルアドレス生成動作について図24と図25のハードウェア構成図を用いて述べる。まず物理セクタ番号の算出動作を図24

(12)

特開平7-36759

21

を用いて述べる。ホストがシリンダ番号、ヘッド番号、セクタ番号をレジスタ部46内の各レジスタにライトする。次にマイコン7がこれら3つのデータをリードし解析して論理セクタ番号に変換する。さらに、ローカルアドレス生成部49内論理セクタテーブル設定レジスタ94に論理セクタ番号をライトした後、マイコンアドレスマップ上の論理セクタテーブル95をリードすることにより、指定した論理セクタの物理セクタ番号がPSRAMの論理セクタテーブル95よりマイコン7に取り込まれる。なお、論理セクタテーブル95とは、論理セクタ番号に対応する物理セクタ番号が格納されているものである。

【0037】次の動作を図25を用いて述べる。算出した物理セクタ番号をマイコン7がセカンドファイルバンクレジスタ91にライトする。その後転送開始時にセカンドファイルバンクレジスタ91の物理セクタ番号をファーストファイルバンクレジスタ93にラッチし15bit(78)を出力する。また、9bitカウンタから0~511のシリアルアドレス9bit(67)を出力する。この15bit(上位)78と9bit(下位)67を台わせて24bitのローカルアドレスとし、この上位4bitを入力としてデコーダB50でMASKROM-CEN89、FLASH-CEN80を生成する。下位20bitは、LA0-19として出力する。

【0038】マイコンがローカルメモリをアクセスする場合のローカルアドレス生成動作について、ファイルデータのアクセスを例にして図26のマイコンのアドレスマップ、図27のファイルエリアの物理アドレスマップ、図28のローカルアドレス生成手順を用いて述べる。本実施例では、図26に示すマイコンメモリマップ上のアドレスを指定することにより、512B(1セクタ)のウィンドウ96を通して、図27に示す16MBのFLASH空間97とMASKROM空間98をアクセスできるようにしている。具体的には、アクセスしたい物理セクタ番号を図28のファーストファイルバンクレジスタ93にマイコンライトした後、図26のマイコンアドレスマップ上のファイルデータウィンドウ96をマイコンリード/ライトすると、図28に示すようにマイコンアドレス下位9bitがローカルアドレスの下位9bitに(99)、ファーストファイルバンクレジスタの物理セクタ番号が上位アドレスに(100)割り付けられる。FLASH-CEN80、MASKROM-CEN91については、上位4bitをデコードして生成した。以上の方式によりマイコンのアドレス空間より広いファイルデータ空間のアクセスを可能とした。

22

【0039】次に、制御テーブル内の論理セクタテーブルのアクセスを例に図26のマイコンのアドレスマップ、図29のPSRAMの物理アドレスマップ、図30のローカルアドレス生成手順を用いて述べる。図26に示すメモリマップ上の論理セクタテーブルウィンドウ101のアドレスを指定することにより、2Bのウィンドウを通して図29に示すPSRAM内の64KBの論理セクタテーブル95をアクセスできるようにしている。具体的には、論理セクタ番号を論理セクタテーブル設定レジスタ94にマイコンライトした後、マイコンアドレスマップ上の論理セクタテーブルウィンドウ101をアクセスすると、図30に示すようにマイコンアドレス51の上位15bitからローカルアドレス上位3bit(LA16~LA18)を論理回路により011に設定し(102)、最下位bitをそのままローカルアドレスの最下位bitに出力する(103)。さらに、ファーストファイルバンクレジスタの下位15bitをスルーでローカルアドレスのLA1~LA15に設定する(104)。このようにしてPSRAMへのローカルアドレスLA0-18を生成する。なお、他のテーブルについては、物理セクタテーブル105、ブロックフラグテーブル106、ブロックステータステーブル107はファーストファイルバンクレジスタ93を使用する。また、ライトバッファ4はライトバッファバンクレジスタ、ガーベージバッファ5はガーベージバッファバンクレジスタを使用する。消去管理テーブル108はウィンドウの大きさと物理空間の大きさが等しいためバンクレジスタを使用せず論理回路のみで上位アドレスを発生している。

【0040】次にデータバスの切り換え動作について図31のハードウェア構成図を用いて述べる。PD0-7(61)、ローカルデータバス62の下位8bitLD0-7は、それぞれ双方向バスでありこれをカードコントローラ内で入力バスと出力バスに分けている。ローカルデータバス62の上位8bitLD8-15は上位バイト側のMASKROM15専用の入力バスである。TFD00-7、TFD10-7はデータレジスタ部45及び、レジスタ部46との出力、入力バスである。データバス切り換え部47で制御部59で生成したコントロール信号55を用いバスの切り替えを行なっている。接続する入力バス、出力バス及び、その接続条件をまとめて表8に示す。

【0041】

【表8】

(13)

特開平7-36759

23

24

表8

接続バス		接続条件
入力バス	出力バス	
PD10-7	TFD10-7	レジスタへマイコンがライトする場合
PD10-7	LDO0-7	PSRAM, FLASHへマイコンがライトする場合
LD10-7	PDO0-7	PSRAM, FLASH及び、下位バイト側MASK ROMをマイコンがリードする場合
LD10-7	TFD10-7	セクタリード転送を行なう場合及び、MASK ROM内のアトリビュート情報をホストがリードする場合
TFDO0-7	LDO0-7	セクタライト転送を行なう場合
TFDO0-7	PDO0-7	レジスタをマイコンがリードする場合
LD18-15	PDO0-7	上位バイト側MASK ROMをマイコンがリードする場合

【0042】次に制御テーブルの使用方法について説明する。制御テーブルは、論理セクタテーブル、物理セクタテーブル、消去管理テーブル、ブロックフラグテーブル、ブロックステータステーブルの5つのテーブルから構成されている。最初に、図32を用いてFLASHセクタリード転送時の論理セクタテーブル95の役割について述べる。論理セクタテーブル95は、論理セクタ番号に対応した物理セクタ番号が格納されている64Kbyteのテーブルである。この格納されている物理セクタ番号は物理セクタテーブル5のアドレスと一致しており、“1~16384”は有効セクタ、“FFFFh”は書き込み可能セクタ、“0”は無効セクタと定義している。ホストがシリンダ番号Low(31)及びHigh(32)レジスタにシリンダ番号を、SDHレジスタ33にヘッド番号を、セクタ番号レジスタ30にセクタ番号をライトする。この後ホストがコマンドをライトすると、マイコン7がそれをリード/デコードし、論理セクタ番号を算出する。この論理セクタ番号の示す論理セクタテーブル95の番地を参照し、その番地の物理セクタ番号をカードコントローラのセカンドファイルバンクレジスタ91へマイコン7がライトする。セカンドファイルバンクレジスタ91からファーストファイルバンクレジスタ93に転送し、このファーストファイルバンク

レジスタ93の物理セクタ番号をローカルアドレスの上位15bit78とする。9bitカウンタ66にて下位9bit67を生成する。この下位9bit67を512回カウントすることにより、FLASH上の任意の1セクタ分のデータをアクセスすることができる。

【0043】次に、物理セクタテーブル105について図33を用いて説明する。物理セクタテーブル105は、物理セクタ番号に対応した論理セクタ番号が格納されている64Kbyteのテーブルである。この格納されている論理セクタ番号は論理セクタテーブルのアドレスと一致しており、“1~16384”は有効セクタ、“FFFFh”は書き込み可能セクタ、“0”は無効セクタと定義している。このテーブルは、セクタライト転送後の内部処理すなわちライトバッファからFLASHへのライト時、書き込みポイントの指す物理セクタの属するブロックについてガーベージコレクションするかどうかの判定に使用する。具体的にはそのブロックの物理セクタテーブル105(本例では00400Hから004FFh)をマイコン7が検索し、“0”が存在した場合、すなわち無効セクタが存在した場合、ガーベージコレクションを開始する。ここで言う書き込みポイントとは、書き込みを行なうFLASHの物理セクタを表示するポイントのことであり、マイコン7で管理してい

(14)

特開平7-36759

25

る。ここで、ガーベージコレクションについて図34を用いて説明する。マイコン7は、そのFLASHのブロック（本例ではブロックn）中の有効セクタのデータのみをコンデンスしながらガーベージバッファ5へ転送する。その後、そのブロックをイレースし、ガーベージバッファ5のデータを同ブロックにライトする。すなわち、コンデンスしたデータをFLASHの同じブロックにライトするという処理を行なう。この後、このコンデンス処理に合わせて物理セクタテーブルと論理セクタテーブルを更新する。物理セクタテーブルの更新は上記と同じコンデンス処理が行なわれる。論理セクタテーブルは、このコンデンスされた物理セクタテーブルをもとに更新される。

【0044】次に、消去管理テーブルについて図36を用いて説明する。消去管理テーブル108はFLASHの消去管理を行なう512Bのテーブルであり、FLASHのブロック毎の消去回数（0～65536）をFLASHの物理ブロック番号の順番で格納している。本テーブルでは、1チップ16ブロックのチップを最大16チップまで実装可能であり、256ブロックまで対応可能である。

【0045】次に、ブロックフラグテーブルについて図35を用いて説明する。ブロックフラグテーブル106はFLASHのブロックごとの書き込み可能状態を示す256Bのテーブルであり、FLASHの物理ブロック番号の順番で格納している。本テーブルの内容である入れ替え要求フラグ109、入れ替え済みフラグ110、破壊フラグ111、満杯フラグ112について以下に説明する。入れ替え要求フラグ109は、ブロックの消去回数が、 $n \times 1000$ 回（nは自然数）を超える毎にマイコンよりセットされ、電源投入時にマイコンがこのフラグを見てそのブロックのデータと消去回数最小のブロックのデータを入れ替える。このフラグは入れ替え処理後クリアされる。入れ替え済みフラグ110は、この時入れ替えの行なわれたブロックにセットされ、再度入れ替え処理が行なわれないようにしている。このようにアクセス頻度の高いデータと、低いデータを入れ替えることによりFLASH内の消去回数の分散化を図っている。破壊フラグ111は、消去管理テーブルを参照しイレース／ライトができなくなったブロックを破壊ブロックとして“1”を立てる。満杯フラグ112は、ブロックが有効セクタ及び無効セクタで一杯になり書き込み可能セクタがなくなった場合に“1”を立てる。このフラグは、セクタライト転送後の内部処理に於て、書き込みポインタの指す物理セクタが属するブロックに書き込み可能セクタがあるかどうかを見つけるのに使用する。ここでセクタライト転送後の内部処理のフローチャートを図37に示す。満杯フラグ112が“0”の場合（113）、FLASHの書き込み可能セクタにライトバッファのデータをライト（114）し、終了（115）す

26

る。満杯フラグが“1”（113）で破壊フラグが“0”（116）で、そのブロック内にガーベージ可能な無効セクタがある（117）場合、ガーベージコレクション（118）後ライト（114）し、終了満杯フラグが“1”（113）で破壊フラグが“0”（116）で、そのブロック内にガーベージ可能な無効セクタがある（117）場合、ガーベージコレクション（118）後ライト（114）し、終了（115）する。満杯フラグが“1”（113）で破壊フラグが“0”（116）で、そのブロック内がすべて有効セクタである（117）場合、書き込みポインタを次のブロックに進め（119）て、内部処理をブロックフラグテーブルの参照（113）からやり直す。破壊フラグが“1”（116）の場合には、書き込みポインタを次のブロックに進め（119）て、内部処理をブロックフラグテーブルの参照（113）からやり直す。この分岐は、前述した物理セクタテーブルの検索で行なう。

【0046】次に、ブロックステータステーブル107について図38を用いて説明する。本テーブルは、FLASHのブロック毎の書き込セクタ数がFLASHの物理ブロック番号の順番で格納されている256byteのテーブルである。書き込セクタ数は、0～128であり、128で満杯である。このテーブルのデータは複数セクタで構成されるデータを同一ブロックに書き込む場合などのブロックにどれだけの書き込み可能セクタが存在するか調べる為に用いる。

【0047】これらのインフォメーションテーブルの電源遮断時の処理を図39を用いて、電源投入時の処理を図40を用いて説明する。物理セクタテーブル105、消去管理テーブル108、ブロックフラグテーブル106は、PSRAMとFLASH双方のエリアに存在するテーブルであり、PSRAM上のテーブルは非保存テーブルで随時更新されるが、FLASH上のテーブルは保存用テーブルで電源遮断時のみ更新される。電源遮断時は、PSRAM上の物理セクタテーブル105、消去管理テーブル108、ブロックフラグテーブル106のデータをFLASHのエリアに保存する。電源投入時は、FLASHのエリアのこの3つのテーブルのデータをPSRAM上にロードする。論理セクタテーブル95は、物理セクタテーブル105に書かれている論理セクタ番号を基に物理セクタテーブル105のアドレスである物理セクタ番号を順番に論理セクタテーブル95へ書き込み、テーブルを作成する。ブロックステータステーブル107は、物理セクタテーブル105の書き込みセクタ数をカウントし作成する。また、この時マイコンがブロックフラグテーブル106に入れ替え要求フラグが立っている亭を確認した場合には、その時点でブロックの入れ替え処理を開始する。電源投入後は、PSRAM上のテーブルの更新を随時行なう。

【0048】次に本実施例の動作をシーケンスフローを

(15)

特開平7-36759

27

用いて説明する。電源投入時のシーケンスフローを図41を用いて述べる。カードコントローラに電源が投入されると、カード内パワーオンリセットIC11でリセット信号(RESN)19を作り、カードコントローラとマイコンに入力する。するとカードコントローラは内部のレジスタを初期値に設定するリセットをハードウェアで行ない、ホストへの割り込み信号(IREQN)をアサートする(120)。これは電源投入時に、ホストがアトリビュート情報42をリードするまでは、メモリカードインターフェイスとなるためメモリカードのREADY/BUSYN表示信号に相当するIREQNをアサートし、BUSY表示にしてマイコンの初期値設定が完了するまで、ホスト側よりアクセスされないようにするためである。マイコンは、本発明品の初期値設定(121)が完了すると、カードコントローラ内IREQレジスタに"0"をライト(122)することにより、IREQNをネゲートする(123)。ホストは、このREADY表示を受けてアトリビュート情報42をリード(124)しカード属性を確認後、本カードをI/Oカードとして使用できる。電源遮断時のシーケンスフローを図42を用いて述べる。電源遮断の際、ホストはコンフィギュレーションステータスレジスタのbit2に1をライトする(125)。それを受けたカードコントローラは、ピンリブレースメントレジスタのbit5をクリア(126)した後、マイコンに割り込み信号(IREQN)を送る。それを受けたマイコンは現在実行している処理が終了した後、保存テーブルの格納などの電源遮断時処理を行なう(127)。この処理が終了したら、マイコンがカードコントローラ内のピンリブレースメントレジスタのbit5をセットする(128)。ホストはこの間ピンリブレースメントレジスタをポーリングしbit5が1になったら(129)、ホスト側で電源OFFを行なうプロトコルとしている。

【0049】セクタ転送前処理のシーケンスフローを図43を用いて述べる。ホストが、シリンダ番号、ヘッド番号、セクタ番号を各レジスタにライト(130)し、コマンドレジスタにコマンドをライトする(131)。次にカードコントローラがこのコマンドを解析し、その要因を割り込み要因レジスタにライトしマイコンに割り込み信号(IREQ2N)を送る(132)。これを受けたマイコンが割り込み要因レジスタをリード(133)しセクタ転送と認識し、コマンドレジスタをリード(134)して、その内容を解析する。その後マイコンがセクタ番号レジスタの論理セクタ番号をリードし、論理セクタテーブル設定レジスタにライトする。次にマイコンがメモリアドレス空間のE100番地をアクセスすると、PSRAMの論理セクタテーブルから物理セクタ番号がリード(135)され、セクタリード時は、これをセカンドファイルバンクレジスタにライトする(136)。またセクタライト時はセクタバッファのセクタ番

28

号をセカンドファイルバンクレジスタにライトする(136)。次にマイコンがセクタ転送コントロールレジスタにセクタ転送の種類が何であるかを設定し(137)、そしてIREQレジスタに"1"をライト(138)し、これを受けカードコントローラはホストへの割り込み信号(IREQN)をアサートする(139)。次にマイコンがセクタ転送起動レジスタをセットする(140)。するとセカンドファイルバンクレジスタのデータ(物理セクタ番号)をファーストファイルバンクレジスタにライトし、ステータスレジスタのbit3に1をライトする(141)。割り込み信号を受けたホストはステータスレジスタをポーリングし、bit3のデータ転送要求ビットが1の場合セクタ転送を開始する(142)。カードコントローラは、ステータスレジスタのリードを受けてIREQNをネゲートする(143)。

【0050】セクタ転送中のシーケンスフローを図44、図45、図46を用いて述べる。まず、図44のFLASHセクタリード転送について述べる。FLASHメモリから8bitデータを下位側(144)、上位側(145)の順に出力し、これをカードコントローラ内のデータレジスタ部でラッチ(146)し、ホストがデータレジスタをリードする(147)時に16bitのデータを出力できるようにしておく。この動作を1セクタ分256回繰り返す。次に図45のMASKROMセクタリード転送について述べる。MASKROMから出力した16bitのデータ(148)をカードコントローラ内のデータレジスタ部でラッチ(149)し、ホストがデータレジスタをリードする(150)時に16bitのデータを出力できるようにしておく。この動作を1セクタ分256回繰り返す。次に図46のPSRAMへのセクタライト転送について述べる。ホストがデータレジスタに16bitのデータをライト(151)すると、カードコントローラ内データレジスタ部にラッチされる(152)。このライトされた16bitのうち、まず下位8bitをPSRAMにライト(153)し、次に上位8bitをPSRAMにライトする(154)。この動作を1セクタ分256回繰り返す。なお、マルチ転送時には、これらの処理を複数セクタ分連続して行なう。

【0051】セクタ転送終了処理のシーケンスフローを図47を用いて述べる。256回目のデータレジスタのリード/ライト(155)がきたらセクタ転送終了なのでカードコントローラは、セクタ転送起動レジスタをクリア(156)しステータスレジスタのbit3(データ転送要求ビット)をクリアする(157)。その後割り込み要因レジスタのbit6をセット(158)して、マイコンに割り込み信号(IREQ2N)を出力する。これを受けたマイコンは、割り込み要因レジスタをリード(159)しセクタ転送終了と認識し、カードコ

(16)

特開平7-36759

29

ントローラ内のIREQレジスタをセットする(160)。すると、カードコントローラからホストへ割り込み信号(IREQN)が送られ、ホストがステータスレジスタをリードする。ホストがステータスレジスタのbit3の"0"を見てセクタ転送が終了したことを認識する(161)。このステータスレジスタのリードを受けてカードコントローラをネゲートする(162)。

【0052】セクタライト転送終了後の内部処理シーケンスフローを図48を用いて述べる。マイコンがブロックフラグテーブルをリード(163)して、書き込みポイントの指す物理セクタ番号のブロックの状態を見る。このフラグには、破壊フラグ、満杯フラグ、入れ替え要求フラグ、入れ替え済フラグが格納されており、破壊ブロックあるいは、入れ替え済ブロックならば、書き込みポイント(物理セクタ番号の上位7bit)を更新して書き込み可能ブロックの検索(164)を行なう。満杯ブロックで、全て有効セクタの場合、ブロックポイントを更新し、書き込み可能ブロックの検索(164)を行なう。満杯ブロックで無効セクタがある場合は、ガーベージコレクション(118)を行なう。そして、どのフラグもセットされてなく書き込み可能セクタがある場合及び、ガーベージコレクション終了後の場合は、以下の動作を行なう。まず、マイコンが1セクタ分のデータが格納されているセクタバッファのセクタ番号をライトバッファバンクレジスタにライト(165)し、ファーストファイルバンクレジスタに書き込みポイントの差す物理セクタ番号をライトする(166)。次にマイコンがセクタバッファから、1バイトのデータをリード(167)し、FLASHにそれをライトする(168)。この動作を512回(512B=1セクタ分)行なう。その後、物理セクタテーブル、論理セクタテーブル、ブロックステータステーブルの更新を行なう。マルチセクタライトの場合は、以上全ての動作を繰り返す。

【0053】ガーベージコレクションのシーケンスフローを図49を用いて述べる。マイコンが1セクタ分のデータが格納されているセクタバッファのセクタ番号をガーベージバッファバンクレジスタにライトする(169)。次にブロック内の有効セクタのデータをガーベージバッファへ1バイトずつ転送し、1セクタ分(512B)全て行なう(170)。この動作をブロック内の有効セクタ全てについて行なう。次にこのブロックのFLASH内データを消去(171)し、ブロック消去回数管理テーブルを更新する(172)。その後、ガーベージバッファのデータをFLASHに書き込み(173)。物理セクタテーブル、論理セクタテーブル、ステータステーブルの更新を行なう(174)。この後、図48のセクタライト終了後の内部処理の2(165)に戻り、ライトバッファ上の現セクタのライトデータをFLASHに書き込む。

【0054】次にPSRAMのリフレッシュ方法につい

30

て述べる。最初に図50によりPSRAMのリフレッシュとその他のメモリ動作とのアービトレーションの概略を述べる。図50には、カードコントローラ9に含まれる制御部59内にある、本アービトレーションを行う論理ブロックの構成図が示してある。この論理ブロックは、2つの異なる装置で分周された2つの同周波数のクロックの位相が同相か逆相かを判別する同相判別回路175と、PSRAMのリフレッシュの回数とリフレッシュを開始してから経過時間を計測する2つのカウンタからなるリフレッシュ制御用カウンタ176と、PSRAMのリフレッシュリクエスト信号177を発生するリフレッシュリクエスト信号発生部178と、PSRAMへの制御信号179およびマイコンへのバスサイクル延長信号180を発生するPSRAMアクセス信号発生部181から構成される。リフレッシュリクエスト信号発生部178と、PSRAMアクセス信号発生部181とは、リフレッシュ制御信号出力手段を構成する。

【0055】まず、PSRAMが書き込み、読み出しされていないときの基本動作について述べる。ブロック178では、パワーオンリセットのネゲートと同時にリフレッシュリクエスト信号177をブロック181に出力し始める。ブロック181ではその信号を受けて、PSRAMにリフレッシュ用制御信号179を出力する。ブロック176ではそのリフレッシュ回数とリフレッシュ開始からの経過時間を計測して、リフレッシュ回数がある一定回数に達したらリフレッシュストップ信号182をブロック178に出力することにより、PSRAMの消費電力を抑えている。その信号を受けて、ブロック178ではリフレッシュリクエスト信号177の出力を停止し、その結果ブロック181からのPSRAMリフレッシュ用制御信号179は停止する。その後、時間が経過して、リフレッシュ開始からの経過時間がある一定時間に達すると、ブロック176ではリフレッシュストップ信号182の出力を停止する。ブロック178ではリフレッシュリクエスト信号177の出力を再開し、同時にブロック181からのPSRAMリフレッシュ用制御信号の出力も再開する。次に、PSRAMリフレッシュ中にPSRAMとのセクタ転送が始まった場合の動作について述べる。セクタ転送時にPSRAMのリフレッシュを行うとシステムバスのデータ転送性能が落ちる。そこで、この時ブロック178はリフレッシュリクエスト信号177の出力を停止し、その結果ブロック181からのPSRAMリフレッシュ用制御信号179は停止する。セクタ転送終了後、ブロック178はリフレッシュリクエスト信号177の出力を再開し、ブロック181はPSRAMリフレッシュ用制御信号の出力を再開する。

【0056】次に、PSRAMリフレッシュ中にマイコンからPSRAMへの書き込みまたは読み出しが行われた場合の動作について述べる。PSRAMのリフレッシュ

(17)

特開平7-36759

31

と、マイコンからのPSRAMの書き込みまたは読み出しは、マイコンのバスサイクルを延長することによって同じバスサイクルで行う。ところでパワーオンリセット時に、マイコンの10φのクロック出力と、リフレッシュ制御信号179を作成するシステムクロックを分周した10φのクロックは、位相がずれることがある。このため、何クロック延長するかは、書き込みまたは読み出し制御信号とリフレッシュ制御信号179のタイミング関係と、クロックの位相ずれを考慮して行う必要がある。したがって、マイコンからPSRAMにアクセスがあったときは、ブロック175がクロックの位相ずれを判別してブロック181に情報を伝えた後、ブロック181が、PSRAMの書き込みまたは読み出しとリフレッシュの制御信号と、マイコンのバスサイクルを延長するウェイト信号(WAITN)180を出力する。

【0057】次に、各ブロックの動作の詳細について述べる。なお本例では、PSRAMは、そのリフレッシュサイクルが2048回/32msのデバイスを使用した。図51にブロック176の論理図を示す。図の上半分がリフレッシュ開始からの経過時間を計測する計数手段であるカウンタ183（以下時間カウンタという）、下半分が、時間計数手段であるリフレッシュ回数のカウンタ184（以下回数カウンタという）であり、各々4ビットと3ビットカウンタを数段直列接続することにより構成されている。また、初段のカウンタは、2段目以降とは内部の論理が異なっている。それぞれTYPE-A(185)、TYPE-B(186)として後で説明する。この2種類のカウンタを図52を用いて説明する。まず、回数カウンタ184を説明する。これは11ビットカウンタで、リフレッシュリクエスト信号が入力される度にカウントアップし、2の11乗=2048回入力されるとリフレッシュストップ信号182を出力する。出力されたリフレッシュストップ信号182は、ブロック178に入力されてリフレッシュリクエスト信号177の出力を停止するので、回数カウンタ184は2047で停止する。次に、時間カウンタ183を説明する。これは17ビットカウンタで、5φのクロックでカウントアップし、 $200\text{ns} \times 2 = \text{約}26\text{ms}$ ごとにリップルを発生する（この値は、上式の型で表現できる32ms以下で一番大きい値である。）。このリップルは回数カウンタ184のクリア端子と、リフレッシュストップ信号182を保持しているRS型ラッチのセット端子に入力されるため、回数カウンタ184はクリアされ、リフレッシュストップ信号182の出力は停止する。リフレッシュストップ信号182が停止すると、ブロック178はリフレッシュリクエスト信号の出力を再開し、その結果、回数カウンタ184は2048回のカウントアップを始める。次に、TYPE-A(185)とTYPE-B(186)について説明する。図53、図54に各々のリップル発生部分の論理図とタイムチャー

32

トを示す。各々4ビットのカウンタを例にしている。TYPE-A(185)のタイムチャートは、各ビットの値が1111から0000に変化する時の状態の変化を示している。また、TYPE-B(186)のタイムチャートは、各ビットの値が1110から1111に変化する時の状態の変化と、各ビットの値が1111から0000に変化する時の状態の変化を示している。まず、TYPE-A(185)から説明する。TYPE-A(185)は、図53のように出力イネーブルETN、EPNがグラウンドに接続されているので、クロックの立上りエッジでカウントアップする。また、端子RCNには各ビットの論理値が反転して伝わるので、リップルはすべてのビットが1になる度出力される。次に、TYPE-B(186)を説明する。TYPE-B(186)は図54のように個々のカウンタをカスケード接続するためにTYPE-Aを改良したものである。TYPE-Aを用いカスケード接続した場合、1110から1111へのカウントアップのEPN入力の立上りエッジでRCNにハザードが出てしまう。その改善として、RCNを5φの正クロックで同期し、その信号とEPNとの論理積をRCNとしたのがTYPE-B(186)である。TYPE-B(186)は、出力イネーブルETNはグラウンドに接続されているが、EPNは前段のリップルを入力としているので、前段からのリップルが入力された時にカウントアップされる。また、端子RCNの出力は、すべてのビットが1になったときにだけ、図中node B、node Cの出力が次々Lowとなり、前段から入力されたリップルをスルーで次段に伝えている。これにより、すべてのビットが1の時以外の次段へのリップルの出力は完全にマスクされる。

【0058】続いて、ブロック178の動作を説明する。図55にブロック178の論理図とタイムチャートを示す。まず、マイコンPSRAMアクセス信号187（図10に示す制御部59が出力する）、リフレッシュストップ信号182、PSRAMセクタ転送中信号188（図10に示す制御部59が出力する）がすべてネゲートしている場合を考える。この状態のとき、このブロックでは20φと5φの2つのクロックで作成したnode Dのバルス（実際には、node Gのバルス）でRS型ラッチをセットし、同様に2つのクロックで作成したnode EのバルスでRS型ラッチをリセットすることにより周期的にリフレッシュリクエスト信号177を発生している（図55タイムチャートのA部分）。この状態でこの信号がブロック176、ブロック181に2048回出力されると、ブロック176がリフレッシュストップ信号182をアサートし、gate Bによりリフレッシュリクエスト信号177がネゲートされる。そして、時間計数カウンタ183の開始から26ms後、ブロック176のリフレッシュストップ信号182がネゲートし、再度、リフレッシュリクエスト信号177の

(18)

33

アサートが始まる。以上がこのブロックの主動作である。次に、マイコンPSRAMアクセス信号、リフレッシュストップ信号182、PSRAMのセクタ転送信号のうちどれか一つがアサートしてリフレッシュリクエスト信号177がマスクされる場合の動作について述べる。まず、PSRAMのセクタ転送中は、gateBによりリフレッシュリクエスト信号177がマスクされる。次にマイコンがPSRAMをアクセスしているときは、gateAによりnodeGがネグートしリフレッシュリクエスト信号177がマスクされる。さらに、マイコンがPSRAMをアクセスしていないかどうかをnodeEの信号をクロックとして検出することにより、リフレッシュリクエスト信号177をマスクして、マイコンのPSRAMアクセス中にリフレッシュサイクルが発生しないようにしている(図55タイムチャートのB部分)。次に、ブロック175の動作を説明する。図56にブロック175の論理図を示す。このブロックではマイコンで分周した10φクロックCLKMC(10φ)187と、システムで分周した10φクロックCLKSYS(10φ)188が同相か逆相かを判別し、その結果を2つの端子に同相判別信号189として出力している。この判定はマイコンがPSRAMをアクセスしているときにだけ必要なので、この信号はマイコンのアドレスストローブ信号(ASN)をクロックとして作成している。最後に、ブロック181の動作を説明する。本ブロックではブロック175、ブロック178からの信号をもとに、PSRAMの制御信号179(CEN、OEN、WEN)と、ウェイト信号180を作成している。上で述べたように、PSRAMリフレッシュはマイコンのPSRAMアクセスによりマスクされるが、マスクされる直前のリフレッシュはマイコンのバスサイクルで同時に行わなければならない。ここでは、その場合のマイコンのPSRAMアクセスとPSRAMリフレッシュのアービトレーションについて説明する。図57、図58にマイコン制御信号(ASN、RCN、WCN)とPSRAM制御信号179のアービトレーションを行ったタイムチャートを示す。動作は図のように4通りある。図57のようにCLKMC(10φ)187とCLKSYS(10φ)188が同相の場合は、マイコンがPSRAMをリードするときだけ1ウェイト必要である。これに対し、図58のようにCLKMC(10φ)187とCLKSYS(10φ)188が逆相の場合は、マイコンがPSRAMをアクセスしたなら、少なくとも1ウェイト必要である。以上のようにしてマイコンのPSRAMアクセスとリフレッシュを同バスサイクルで行うようしている。

【0059】次にカードコントローラから出力する割り込み信号の動作について図59のハードウェア構成を用いて説明する。本カードコントローラにはIRQ0N(289)、IRQ1N(190)、IRQ2N(19

特開平7-36759

34

1)、IREQN(192)の4つの割り込み信号がある。IRQ0N(289)はマイコン7に電源遮断時の処理を行なわせるためのものである。具体的にはホストがカードコントローラ9内のコンフィギュレーションステータスレジスタのb112(パワーダウンビット)に"1"をライトしたらアサートするようにしている。IRQ1N(190)はハードリセット時、マイコン7に初期値設定処理を行なわせるためのものである。具体的にはホストのハードリセット信号(RESET)194を受けるとアサートするようにしている。IRQ2N(191)は、ソフトリセット時にマイコンに初期値設定処理を行なわせるためと、コマンドライト時にマイコン7にコマンドライト時の処理を行なわせるためと、セクタ転送終了をマイコン7に知らせセクタ転送終了処理と終了後の内部処理を行なわせるためのものである。具体的には、IRQ2N(191)は、ソフトリセット時にホストがカードコントローラ9内のデジタルアウトビットレジスタのb112に"1"をライトした時、ホストがコマンドレジスタにコマンドライトした時、セクタ転送の終了を制御信号生成部70のセクタ転送終了カウンタ193が検出した時にアサートするようにしている。なおこの際、この3つの割り込み要因をマイコンが判別できるように、カードコントローラ内の割り込み要因レジスタ(割り込み要因記憶手段)2890にこの要因内容をセットしている。IREQN(192)は、コマンドライト時のマイコン処理が完了した場合とセクタ転送が終了しマイコン7による転送終了処理が完了した場合にホストに出力する割り込みである。具体的にはマイコン7がIREQセットレジスタに"1"をセットすることによりアサートする。なおIREQN(192)は電源投入時、パワーオンリセットICからのRESN19を受けてアサートされるが、これは初期設定中のBUSY表示である。IREQN(192)送出動作の詳細については各シーケンスフローの説明部で述べているのでここでは省略する。

【0060】次にパワーオンリセット、ハードリセット、ソフトリセットの3つリセット動作について図60のハードウェア構成図を用いて説明する。最初にパワーオンリセット動作について述べる。電源投入時、ホスト側の電源を投入すると、本発明品内のパワーオンリセットICでVccの立ち上がりを検出し、カードコントローラ9とマイコン7にリセット信号(RESN)19を送る。カードコントローラ9は、RESN19を受けて内部のレジスタを初期値に設定する。マイコン7はRESN19を受けて、内部レジスタの初期値設定及び、本発明品の初期設定処理を行なう。ハードリセットは、ホストがハードリセット信号(RESET)194を本発明品のカードコントローラ9内制御部59に送出することにより行なわれる。カードコントローラ9内制御部59は、RESETを受けて割り込み信号(IRQ1N)1

(19)

特開平7-36759

35

36

90をマイコンに送り、マイコンはこれを受けて初期設定処理を行なう。ソフトリセットは、ホストがカードコントローラ内のデジタルアウトプットレジスタのbit 3に"1"をライトすることにより行なわれる。bit 3に"1"がセットされると、制御部は割り込み信号(IRQ2N)191をマイコン7に送り、マイコン7はこの信号を受けた後、割り込み要因レジスタを解析しソフトリセットとして識別した後に、初期設定処理を行なう。

* [0061] 次にFLASHメモリ及び、MASKROMの実装容量を設定するMCCピンの動作について図61を用いて述べる。カードコントローラのMCC0ピン23、MCC1ピン22、MCC2ピン21、MCC3ピン20を表9の実装容量に応じてVccまたはGNDに固定しておく。

[0062]

[表9]

*
表 9

MCCピン				実装容量	
20 MCC3	21 MCC2	22 MCC1	23 MCC0	FLASH	MASKROM
0	0	0	0	4MB	4MB
0	0	0	1	4MB	6MB
0	0	1	0	4MB	8MB
0	1	0	0	6MB	4MB
0	1	0	1	6MB	6MB
0	1	1	0	6MB	8MB
1	0	0	0	8MB	4MB
1	0	0	1	8MB	6MB
1	0	1	0	8MB	8MB
X	X	1	1	予備	
1	1	X	X		

[0063] 電源立ち上げ時にメモリサイズレジスタ195をマイコン7がリードすることにより、本発明品のFLASH及びMASKROMの実装容量を算出する。このメモリサイズレジスタ195は8bitのレジスタであり、MCC0～MCC3の値がbit0～bit3に対応している。bit4～bit7までの4ビットは未使用である。MCCピンの設定について具体的に説明する。MCC3ピン20、MCC2ピン21でFLASHの実装容量を4MB、6MB、8MBに設定できる。本実施例では1MW×8bitのFLASHを使用したため、それぞれ4個、6個、8個実装に相当する。MCC1ピン22、MCC0ピン23でMASKROMの実装容量を4MB、6MB、8MBに設定できる。本実施例では、4MB時512KW×8bitのMASKROMを8個、6MB、8MB時1MW×8bitのMASKROMをそれぞれ6個と8個使用するようにしたため、MCC1ピン22、MCC0ピン23の値でMASKROM-CENデコーダ196のデコードアドレス(ローカルアドレスの上位アドレス)を切り換えるようにし

た。

[0064] 次に破壊ブロックの判定について説明する。本実施例では、PSRAMのライトバッファエリアに一時書き込まれたセクタ単位のデータをFLASHメモリのファイルエリアに格納するときに、FLASHメモリのライト、イレースの上限時間を監視することにより不良ブロックを検出し破壊ブロックとして登録している。以下、その方法を説明する。なお、計測はマイコンがFLASHメモリエレースまたはライトのコマンドを発行したときを始まりとする。最初に、FLASHメモリ消去時間監視による方法を説明する。図62にそのフローを示す。初期設定としてTC、PCをクリア、EPGをセットする(197)。マイコンの16ビットタイマを使用して100ms毎にアウトプットコンペアフラグAをセットし、マイコン内で割込みを発生する(198)。マイコンは、アウトプットコンペアフラグAをクリア(199)した後、ポーリングカウンタを1インクリメントする(200)。ポーリングカウンタが5になったところ(201)で、マイコンはFLASHメモリ

(20)

特開平7-36759

37

のステータスレジスタをリードする(202)。(つまり500ms毎に行う。)消去が完了していた(203)場合は、不良ブロックではなかったので消去中フラグを解除(204)して本ルーチンは終了する。もし消去が完了していなかった(203)場合は、タイムアウトカウンタを1インクリメントする(205)。ここでタイムアウトカウンタが40でなければ(206)何もしない。タイムアウトカウンタが40だった(206)場合、これは未消去状態が500ms×40=20s続いたということであり、破壊ブロックとして登録(207)した後、本ルーチンを終了する。なぜなら、FLASHメモリのブロック単位の消去時間はMAX10sである。

【0065】次に、FLASHメモリ書き込み時間監視による方法を説明する。図63にそのフローを示す。初期設定としてTCをクリアし、WFGをセットする(208)。マイコンの8ビットタイマを使用して10.4μs毎にコンペアマッチフラグAをセットし、マイコン内で割込みを発生する(209)。マイコンは、コンペアマッチフラグAをクリア(210)した後、FLASHメモリのステータスレジスタをリードする(211)。書き込みが完了していた(212)場合は、不良ブロックではなかったので書き込み中フラグを解除(213)して本ルーチンは終了する。もし書き込みが終了していなかった(212)場合は、タイムアウトカウンタを1インクリメントする(214)。ここでタイムアウトカウンタが40でなければ(215)何もしない。タイムアウトカウンタが40だった(215)場合、これは未書き込み状態が10.4μs×40=416μs続いたということであり、破壊ブロックとして登録(216)した後、本ルーチンを終了する。なお、上記で示した時間監視では定期的に割込みを発生させる方式の例を示したが、割込み処理に時間がかかりライトの性能に影響を及ぼすようならば、FLASHメモリのステータスレジスタをポーリングして単に書き込みあるいは消去終了を判別するルーチンにする方式でも良い。

【0066】次にセクタ転送タイムアウト判定について説明する。本実施例では、セクタ転送時、マイコンにより転送開始からの時間を計測し、ある一定時間経過してもなお転送が終了しない場合にはタイムアウトエラーとしてシステムに異常を伝えている。なお、計測は、マイコンがセクタ転送起動レジスタに1をライトしたときを転送の始まりとして行っている。以下、その方法を説明する。図64にそのフローを示す。初期設定としてTCクリア(217)。マイコンの8ビットタイマを使用して100μs毎にコンペアマッチフラグAをセットし、マイコン内で割込みを発生する(218)。マイコンはコンペアマッチフラグAをクリア(219)した後、セクタ転送中フラグ(このフラグは、セクタ転送が終了してカードコントローラからマイコンに割込み信号IRQ

38

2Nが入った後、割込み要因レジスタをリードしてセクタ転送の終了を確認するとセットされる。)をリードする(220)。転送が完了していた(221)場合は、本ルーチンは終了する。もし転送が完了していなかった(221)場合は、タイムアウトカウンタを1インクリメントする(222)。ここでタイムアウトカウンタが10でなければ(223)何もしない。タイムアウトカウンタが10だった(223)場合、これはセクタ転送が100μs×10=1ms続いているということであり、セクタ転送タイムアウトエラーフラグをセット(224)し、本ルーチンを終了する。もちろん、マルチセクタ転送時は、その連続セクタ数を考慮して上記ルーチンを作成している。

【0067】次にオートパワーオフについて説明する。本実施例では、システム側からアクセスされず、かつ本発明品内で処理を行っていない時間を計測して、その時間が一定時間を越えた場合、マイコンをソフトウェアスタンバイモードに、またFLASHメモリをディープパワーダウンモードにして消費電力を低減している。以下その方法について述べる。図65にそのフローを示す。初期設定としてTCをクリアする(225)。マイコンの16ビットタイマを使用して100ms毎にアウトプットコンペアフラグAをセットし、マイコン内で割込みを発生する(226)。マイコンはアウトプットコンペアフラグAをクリア(227)した後、タイムアウトカウンタを1インクリメントする(228)。(ただし、タイムアウトカウンタはカードがアクセスされる度、0にクリアされる。)ここで、タイムアウトカウンタが300だった(229)場合、マイコンシステムコントロールレジスタのSSBYビットを1にして(230)SLEEP命令を実行(231)し、ソフトウェアスタンバイモードに入る(232)。また同時にFLASHメモリのPWDN端子をLOWレベルにし(233)、FLASHメモリをディープパワーダウンモードにする(234)。次に、動作モードに戻る方法を説明する。カードがホスト側よりアクセスされた場合、カードコントローラはマイコンに割込み信号IRQ2Nを出力するので(235)、それを利用してマイコンは自動的に動作モードに移る(236)。マイコンは、この時FLASHメモリのPWDN端子をHIGHにし(237)、FLASHメモリは動作モードに戻る(238)。

【0068】次に拡張例として制御テーブル、ライトバッファ、ガーベージバッファにDRAMを使用する場合の方法について述べる。本実施例では、各種テーブル、ライトバッファおよびガーベージバッファにPSRAMを使用しているが、カードコントローラに次に示す3つの回路上的変更を加えるだけで、PSRAMをビット単位の安いDRAMに置き換えることができる。以下では、512K×8ビット構成の4MDRAMを例にとつて説明する。第1の変更点について、図66のDRAM

(21)

特開平7-36759

39

リードのタイムチャートを用いて説明する。DRAMでは、PSRAMのCENの代わりの制御信号としてRAS_N、CAS_Nを使用するので、この信号を作成する必要がある。また、そのタイミングに合わせてアドレスを2回(Rowアドレス10bit、Columnアドレス9bit)出力する(アドレスマルチプレクス)。このアドレスマルチプレクスは、フラッシュメモリ、MASKROMアクセス時は行わず、DRAMアクセス時だけ行う。また、ライトバッファとしてDRAMをアクセスするときは、Rowアドレスは変えず、Columnアドレスだけ変えてデータのリード、ライトを行うページモードを使用することにより高速の転送が可能である。第2の変更点について、図67のDRAMライトサイクルのタイムチャートを用いて説明する。ライトアクセスのとき、PSRAMはWEN信号の立ち上がりでデータをラッチのに対し、DRAMはWEN信号の立ち下がりでデータをラッチするため、WEN信号のタイミングの作り方に変更を要する。第3の変更点について、図68のDRAMのヒドゥンリフレッシュのタイムチャートを用いて説明する。DRAMでは、PSRAMで行っているオートリフレッシュの代わりに、ヒドゥンリフレッシュを行う。4MDRAMの仕様に合わせて、16ms間に1024回行うように計数カウンタと時間カウンタを作り、RAS_NとCAS_Nの制御を行う。またPSRAMのオートリフレッシュと同様に、1バスサイクルのリードまたはライトの中に、リフレッシュサイクルを挿入するタイミングを作成する必要がある。

【0069】次に拡張例として、アクセスタイムの遅いFLASHメモリ239とアクセスタイムの速いFLASHメモリ14を混在して使用する場合について説明する。本実施例では、消去ブロック単位をチップのブロック単位と同じにするため、アクセスの速いFLASHメモリ14を使用して、8ビットずつのインターリーブ転送を行っている。一方、コスト等の制約によりアクセスタイムの遅いFLASHメモリ239を混在して使用したい場合には、カードコントローラ9の回路変更により図69に示すような混在使用が可能である。点線で囲んだ部分がアクセスの速いFLASHメモリ239を使用した部分240である。ただし、この場合アクセスの速いFLASHメモリ239では、上位8ビットと下位8ビットを別のチップに格納せざるおえないので消去ブロック単位が2倍になる。以下、変更部分に関して説明する。本実施例では、FLASHセクタリード転送の際、ホストからの1回のリードに対して2回のリードを行っている。しかし、アクセスタイムの遅いFLASHメモリ239の場合、2回のリードを行っているとホストのリードサイクルに間に合わない。そこで、MASKROMのアクセスと同じように2つのチップを1ワードとして扱えるように、アドレスの最下位ビットLA0は使用せずに上位側CENと下位側CENを同じタイミ

40

ングでアサートする。またLD8-15を上位側のFLASHメモリ239へ接続し、書き込みのため双方向バスにする。下位側のFLASHメモリ239は、従来通り双方向バスのLD0-7を接続する。ただし、マイコンからのアクセスは8ビットアクセスなので、この場合CENは上位側下位側別々にコントロールする必要がある。これにより、1回のリードで16ビット読みだすことができる。

【0070】次に制御テーブル、ライトバッファ、ガーベージバッファのアクセス方式の拡張例について図70、図71を述べる。本拡張例は、図70に示すメモリマップ上にPSRAM13をアクセスするウィンドウ241を1KB有し、PSRAM13の領域管理をマイコン7が行なう方式である。1KBのウィンドウ241でPSRAM13全領域(512KB)のアクセスを可能にするため、図71に示す方法でローカルアドレス48を生成する。マイコンアドレス51(PA0~15)の下位10ビットをそのままスルーでローカルアドレス下位10ビットに出力(242)し、ファイルバンクレジスタの下位9ビットをそのままスルーでローカルアドレス上位9ビットに出力(243)して、19ビットのローカルアドレスを生成する。以上の方式により、1KBのウィンドウ241を通してPSRAM13の512KBの全エリアをマイコン7のソフトウェアで管理でき、カードコントローラ9のハードウェアを削減することができる。なお、このウィンドウサイズは、1KBに限定されるものではない。また、メモリの容量も512KBに限定されない。

【0071】

【発明の効果】本発明によれば、他のファイル記憶装置と比較して高速アクセス性能に優れる。すなわち、磁気ディスク装置に対してはシーク時間が必要なく、リードライトともに高速であり、従来のフラッシュメモリを使用した記憶装置に対しては、ライトバッファを有するため、書き込みにおいて特に高速化を図ることができる。揮発性メモリを記憶媒体とした記憶装置と比較すると高速とはいえないが、それらに対してはバックアップ電源不要、低価格などの優位性が認められる。

【0072】また、消去回数を記録し、消去回数の多いブロックと少ないブロックの間でデータの入れ替えを行うのでフラッシュメモリの書換え寿命がブロック間で均等となるので実効的に寿命が延びる。消去回数が多いブロックに入っているデータは頻繁に書換えが行われるデータと考えられるからである。従って、ファイル記憶装置として実用的なシステム寿命を確保できる。また、その際に、1種類のチップに複数種類のデータをいれる、例えば、マスクROMにシステムファイルやインタフェース情報を入れるというようにするため、1種類のチップには1種類のデータしか入れない場合に比べて必要となる部品の点数を少なくできる。これはカード化などの

(22)

特開平7-36759

41

42

小型化に貢献する。また現在では磁気記憶装置と比較して高価なフラッシュメモリを記憶媒体としたファイル記憶装置としては、一部を安価な読み出し専用のROMを使用することにより低価格を実現できる。またICカードの構成情報やアクセス情報などを内部に格納して外部からアクセス可能とすることによりICカードの標準規格などに準拠可能となる。またホストのバス幅と、メモリのバス幅を適宜調整することにより、すなわち、ホストが16ビット幅の場合に、現状ではフラッシュメモリは8ビット幅が多いためにバス幅を調整することが必要になるが、マスクROMは16ビット幅のものをを用いることにより、マスクROMにたいしては、バス幅の調整が不用となるために、性能向上と回路数の低下をはかることができる。また揮発性メモリとしてリフレッシュが必要なメモリを使用することにより低価格となる。また、該当メモリアクセスされていないときにリフレッシュし、また最低限のリフレッシュしかなしない制御を行うことにより、処理時間の無駄をなくし、性能向上に貢献する。

【図面の簡単な説明】

【図1】半導体ファイルシステム（カード）のブロック図である。

【図2】カードの回路図である。

【図3】カードの回路図である。

【図4】ホストとの接続図である。

【図5】アドレスマップの説明図である。

【図6】I/O空間リードタイミングの説明図である。

【図7】I/O空間ライトタイミングの説明図である。

【図8】メモリ空間リードタイミングの説明図である。

【図9】メモリ空間ライトタイミングの説明図である。

【図10】カードコントローラのブロック図である。

【図11】データレジスタ部のブロック図である。

【図12】レジスタ部のブロック図である。

【図13】ローカルアドレス生成部のブロック図である。

【図14】制御部のブロック図である。

【図15】セクタライト時のデータフローの説明図である。

【図16】セクタライト時のタイムチャートである。

【図17】FLASHセクタリード時のデータフローの説明図である。

【図18】PSRAMセクタリード時のデータフローの説明図である。

【図19】FLASH及びPSRAMセクタリード時のタイムチャートである。

【図20】MASKROMセクタリード時のデータフローの説明図である。

【図21】MASKROMセクタリード時のタイムチャートである。

【図22】マルチ転送での物理セクタ番号切り換え動作

の説明図である。

【図23】マルチ転送のタイムチャートである。

【図24】ローカルアドレス生成動作の説明図である。

【図25】ローカルアドレス生成動作の説明図である。

【図26】マイコンアドレスマップの説明図である。

【図27】ファイル領域の物理アドレスマップの説明図である。

【図28】ファイル領域ローカルアドレス生成手順の説明図である。

【図29】PSRAMの物理アドレスマップの説明図である。

【図30】PSRAMローカルアドレス生成手順の説明図である。

【図31】データバス切り換え部のブロック図である。

【図32】論理セクタテーブルの説明図である。

【図33】物理セクタテーブルの説明図である。

【図34】ガーベジコレクションの説明図である。

【図35】消去管理テーブルの説明図である。

【図36】ブロックフラグテーブルの説明図である。

【図37】セクタライト転送後の内部処理フローチャートである。

【図38】ブロックステータステーブルの説明図である。

【図39】電源遮断時の処理の説明図である。

【図40】電源投入時の処理の説明図である。

【図41】電源投入時のシーケンスフローである。

【図42】電源遮断時のシーケンスフローである。

【図43】セクタ転送前処理のシーケンスフローである。

【図44】FLASHセクタリード転送中のシーケンスフローである。

【図45】MASKROMセクタリード転送中のシーケンスフローである。

【図46】PSRAMセクタライト転送中のシーケンスフローである。

【図47】セクタ転送終了処理のシーケンスフローである。

【図48】セクタ転送終了後の内部処理のシーケンスフローである。

【図49】ガーベジコレクションのシーケンスフローである。

【図50】PSRAMリフレッシュ制御部のブロック図である。

【図51】リフレッシュ制御用カウンタのブロック図である。

【図52】カウンタタイムチャートである。

【図53】TYPE-Aのリップル論理とタイムチャートの説明図である。

【図54】TYPE-Bのリップル論理とタイムチャートの説明図である。

【図55】リフレッシュリクエスト信号発生部の論理とタイムチャートの説明図である。

【図56】同相判別回路の論理図である。

【図57】同相時のPSRAMアクセスタイムチャートである。

【図58】逆相時のPSRAMアクセスタイムチャートである。

【図59】割り込み信号生成動作の説明図である。

【図60】リセット動作の説明図である。

【図61】MCCピンの説明図である。

【図62】FLASHメモリのイレース時間監視フローチャートである。

【図63】FLASHメモリのライト時間監視フローチャートである。

【図64】セクタ転送時間監視フローチャートである。

【図65】オートパワーオフ動作フローチャートである。

【図66】DRAMのリードサイクルタイムチャートである。

【図67】DRAMのライトサイクルタイムチャートで 20
ある。

【図68】DRAMのヒドゥンリフレッシュタイムチャートである。

【図69】アクセスの速いFLASHと遅いFLASHの混在使用例の説明図である。

【図70】マイコンメモリマップの説明図である。

【図71】ローカルアドレス生成手順の説明図である。

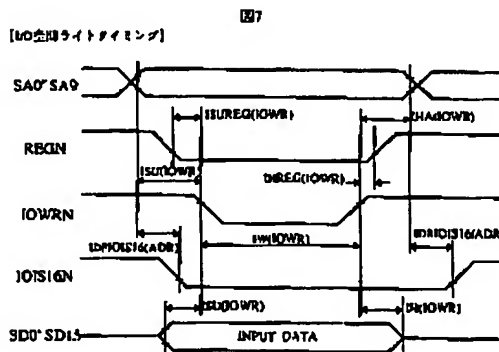
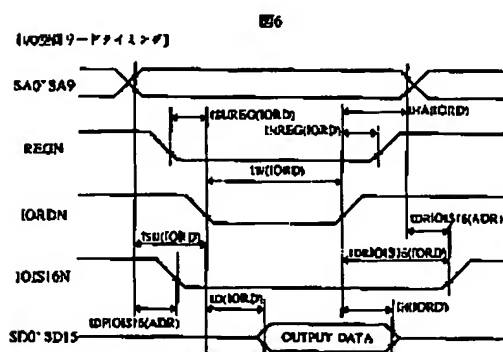
【符号の説明】

1…データ格納用不揮発性メモリ、2…アトリビュート情報格納用不揮発性メモリ、3…制御テーブル、4…ライトバッファ、5…ガーベジバッファ、6…ローカルメモリ、7…制御用マイコン、8…JEIDAインタフェースバス、9…カードコントローラ、13…PSRA*

* M. 14…FLASHメモリ、15…マスクROM、17…P41、20…MCC3、21…MCC2、22…MCC1、23…MCC0、24…インタフェースコントローラ、25…システムバス、45…データレジスタ部、47…データバスさり換え部、49…ローカルアドレス生成部、57…システム割込み信号、58…マイコン割込み信号、63…ファーストデータレジスタ、64…セカンドデータレジスタ、65…バンクレジスタ、66…9ビットカウンタ、68…マルチプレクサ、69…制御レジスタ、70…制御信号生成部、91…セカンドファイルバンクレジスタ、93…ファーストファイルバンクレジスタ、94…論理セクタテーブル設定レジスタ、95…論理セクタテーブル、96…ファイルデータウィンドウ、97…フラッシュメモリ、98…マスクROM、101…論理セクタテーブルウィンドウ、105…物理セクタテーブル、106…ブロックフラグテーブル、107…ブロックステータステーブル、108…消去管理テーブル、109…入れ換え要求フラグ、110…入れ換え済フラグ、111…破壊フラグ、112…溢杯フラグ、175…同相判別回路、176…リフレッシュ制御用カウンタ、177…リフレッシュリクエスト信号、178…リフレッシュリクエスト信号発生部、179…PSRAM制御信号、180…バスサイクル延長信号、181…PSRAMアクセス信号発生部、182…リフレッシュストップ信号、183…時間カウンタ、184…回数カウンタ、187…マイコンPSRAMアクセス信号、188…PSRAMセクタ転送中信号、189…同相判別信号、289…IRQ0N、190…IRQ1N、191…IRQ2N、192…IREQN、193…セクタ転送終了カウンタ、194…RESET、195…メモリサイズレジスタ、239…アクセスの遅いフラッシュメモリ

【圖6】

【圖 7】

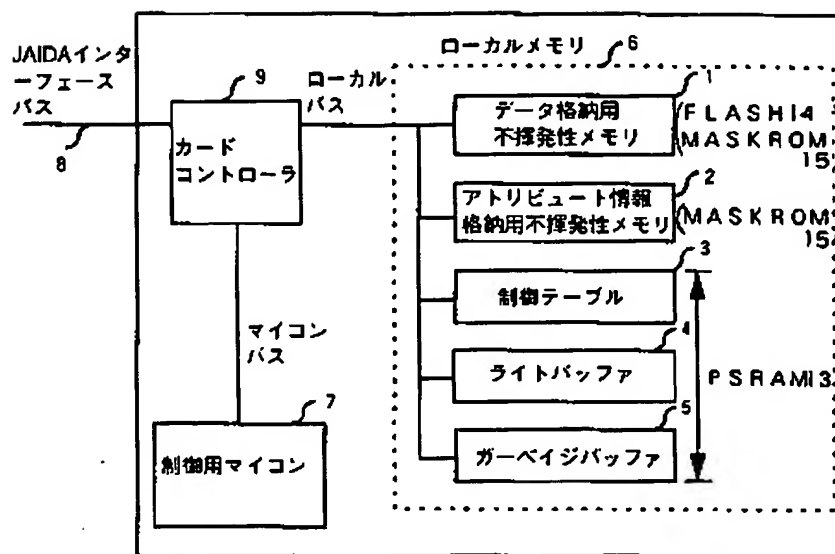


(24)

特開平7-36759

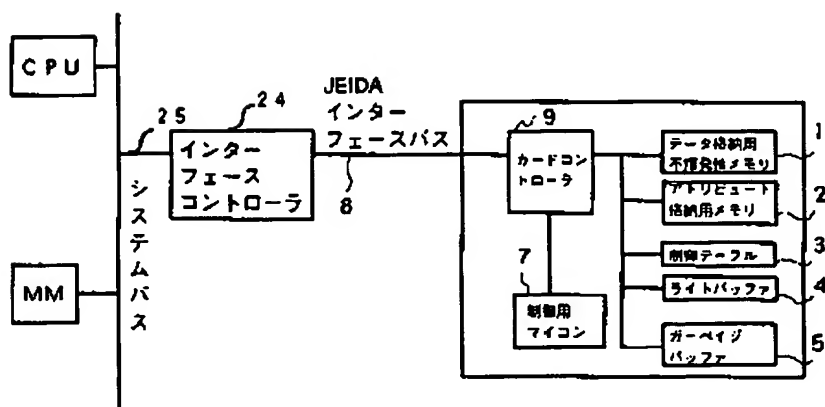
【図1】

図 1



【図4】

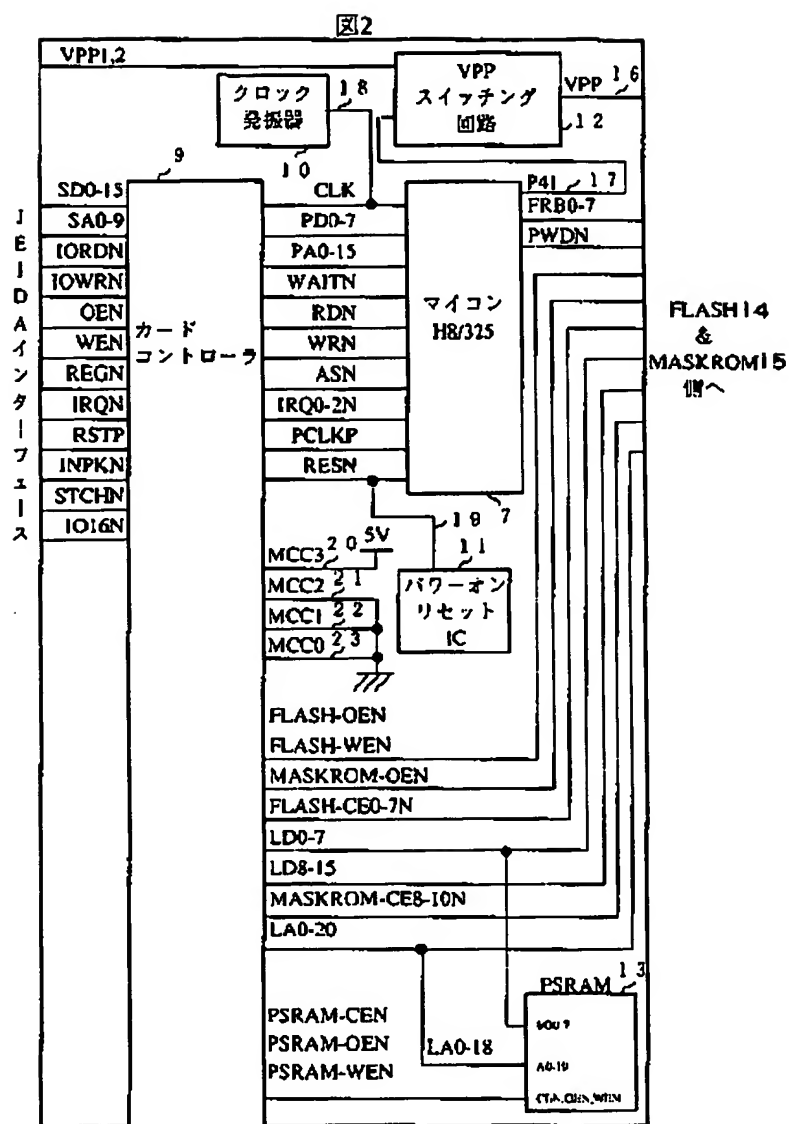
図 4



(25)

特開平7-36759

【図2】

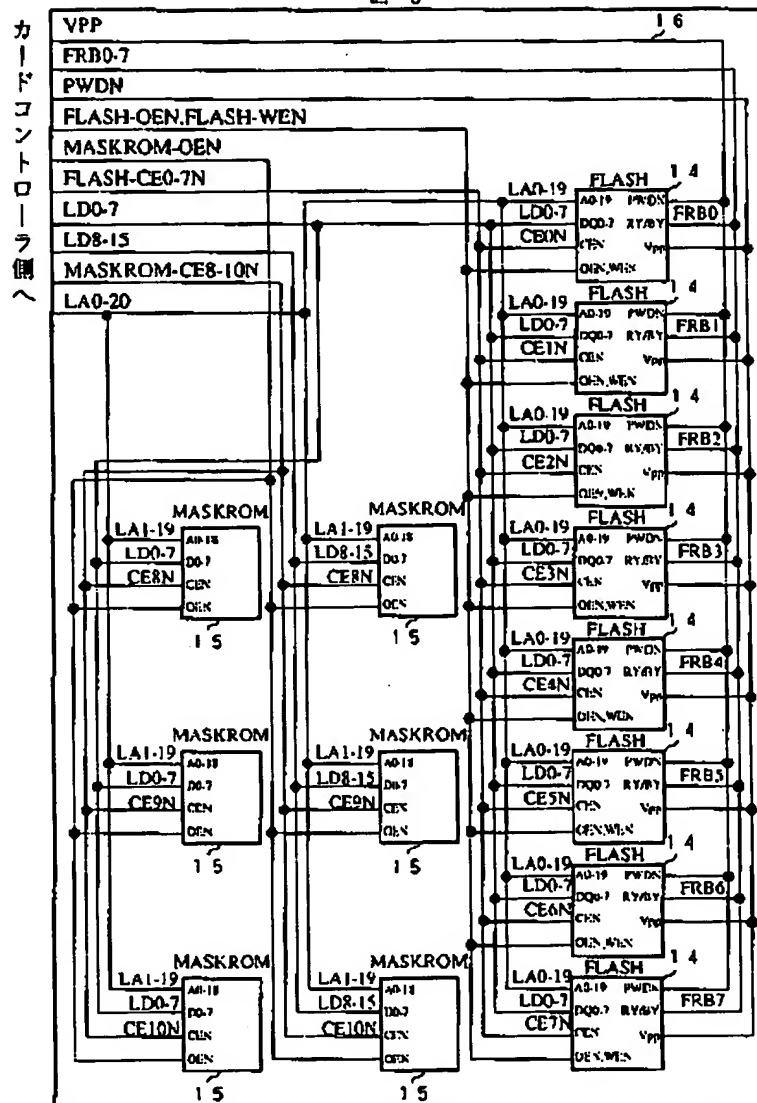


(26)

特開平7-36759

【図3】

図 3

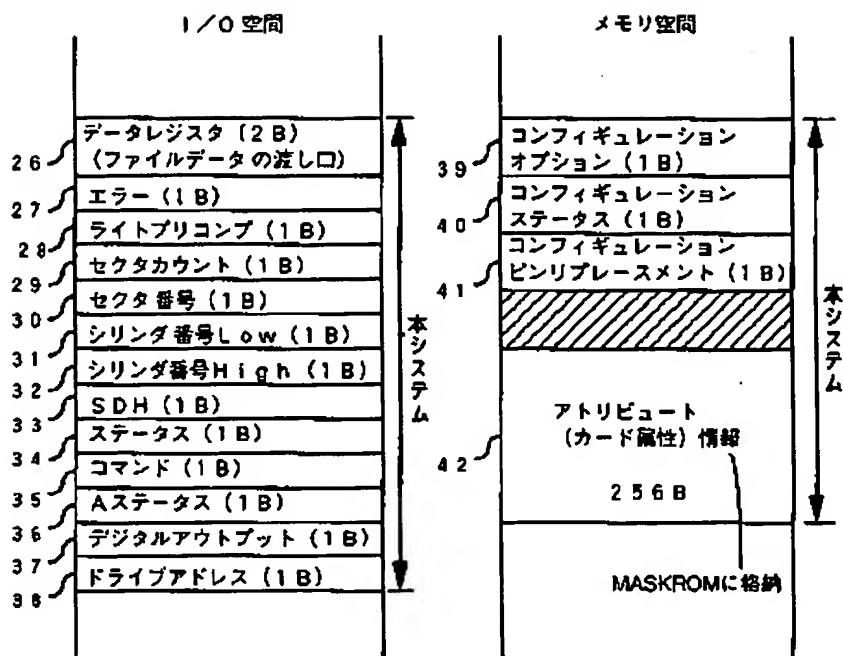


(27)

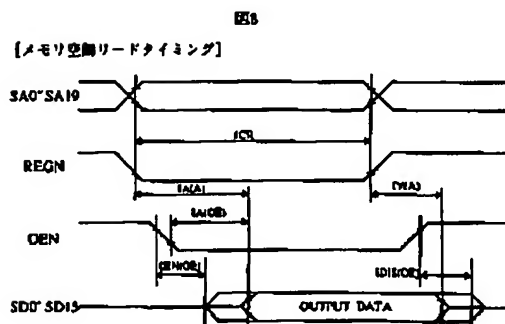
特開平7-36759

【図5】

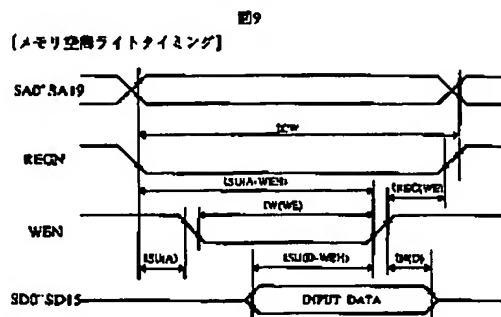
図 5



【図8】



【図9】

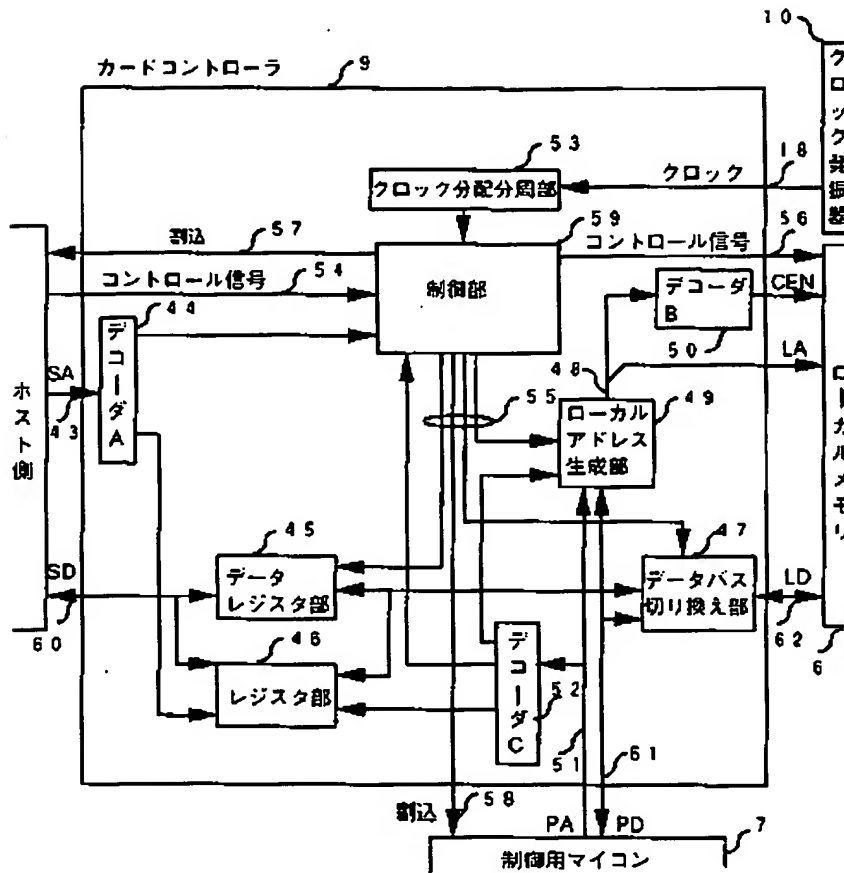


(28)

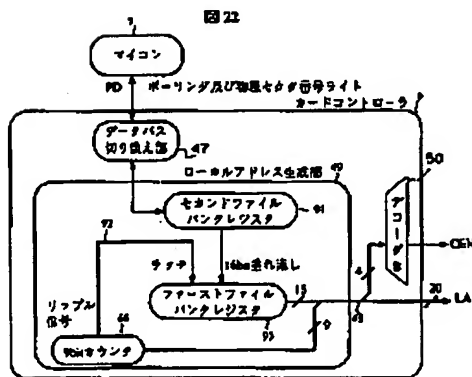
特開平7-36759

【図10】

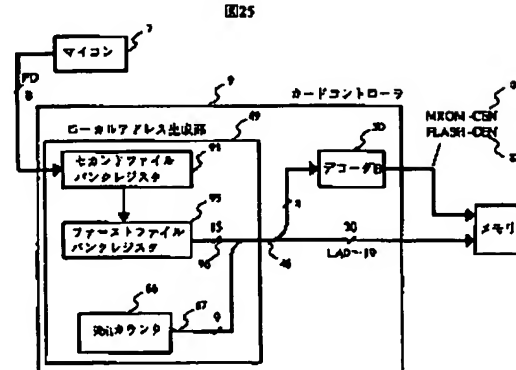
図 10



【図22】



【図25】

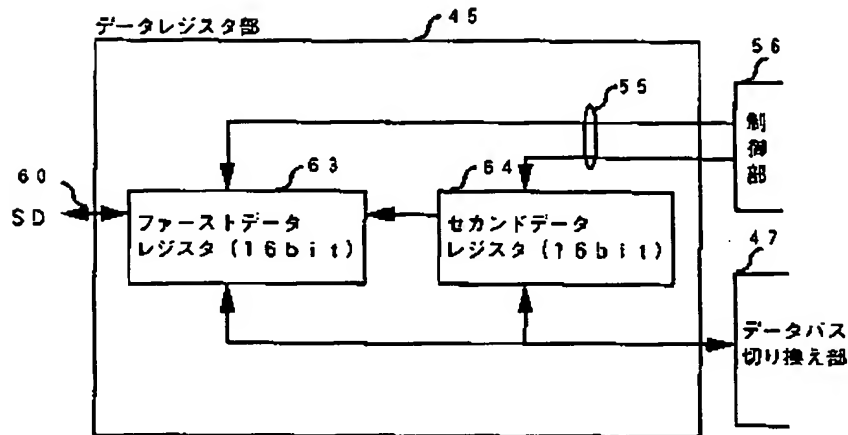


(29)

特開平7-36759

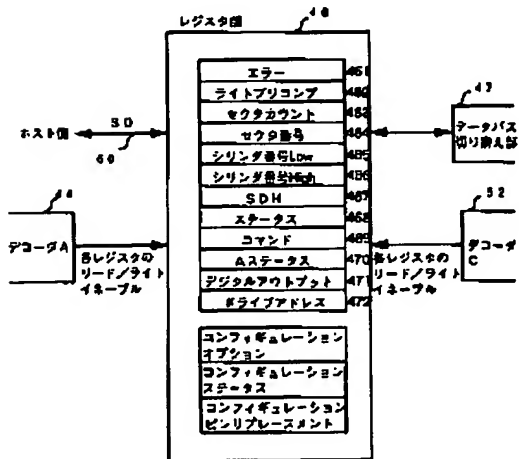
【図11】

図 11



【図12】

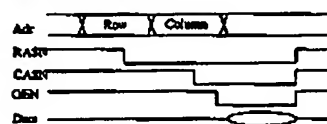
図 12



【図66】

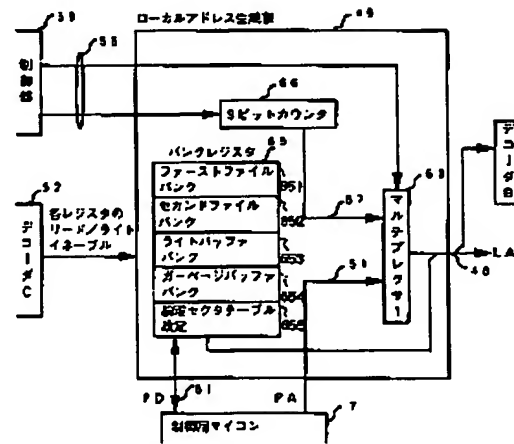
図 66

<DRAM - トリプル>



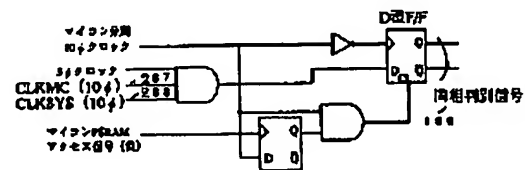
【図13】

図 13



【図56】

図 56

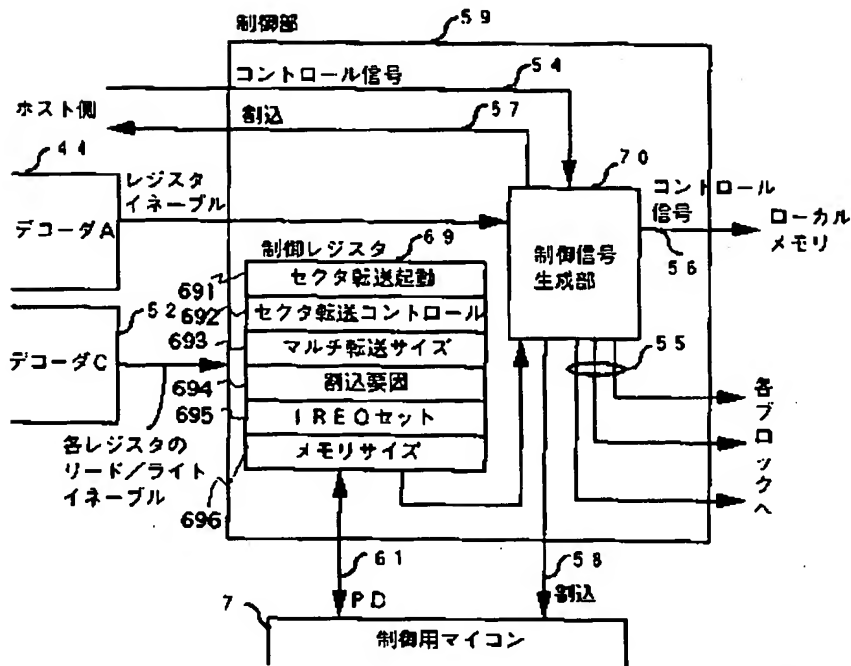


(30)

特開平7-36759

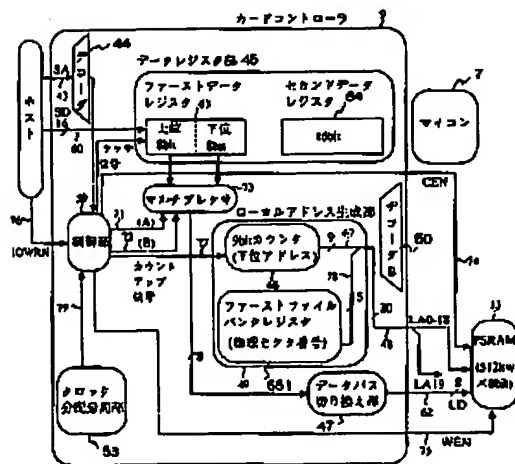
【図14】

図 14



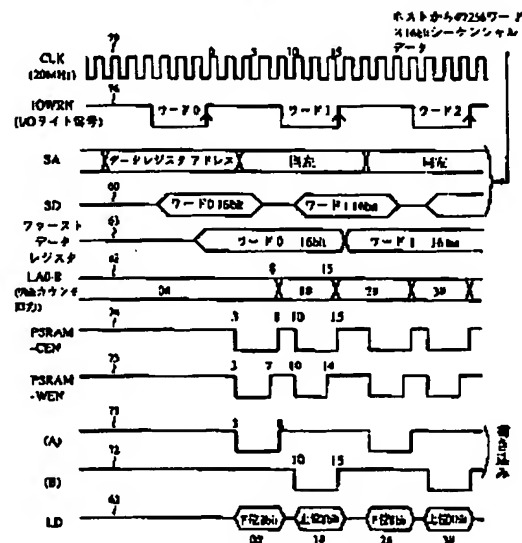
【図15】

図 15



【図16】

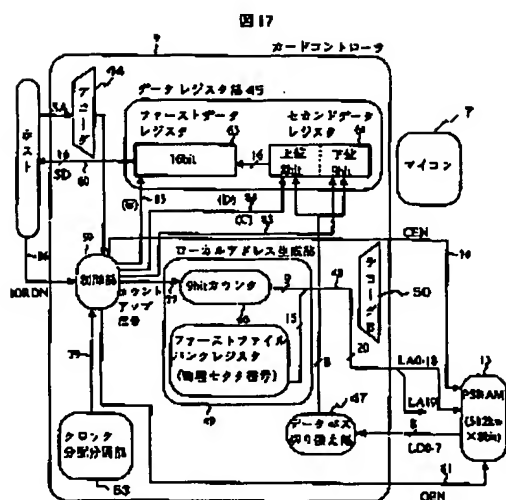
図 16



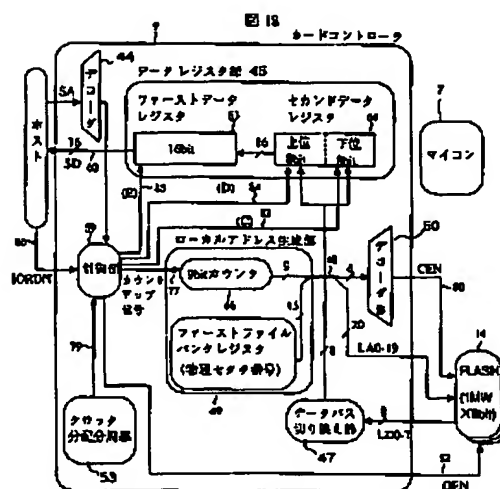
(31)

特開平7-36759

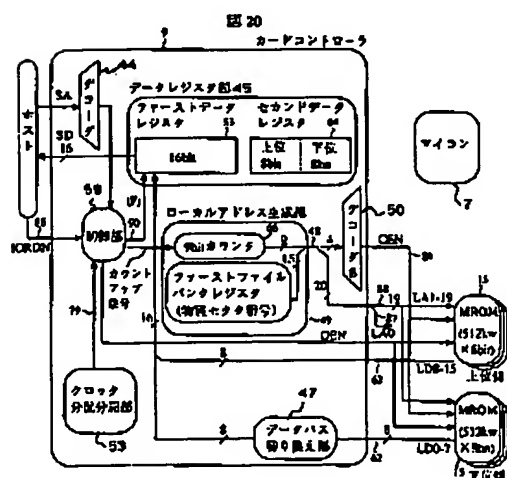
【図17】



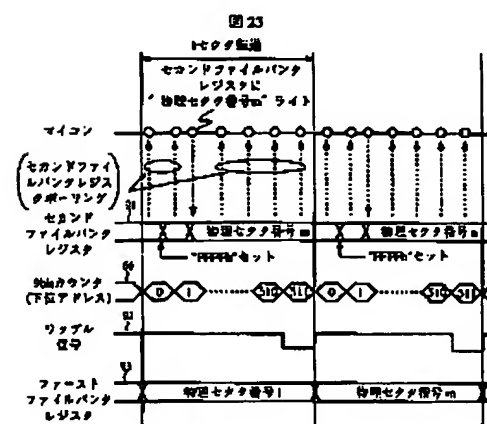
【図18】



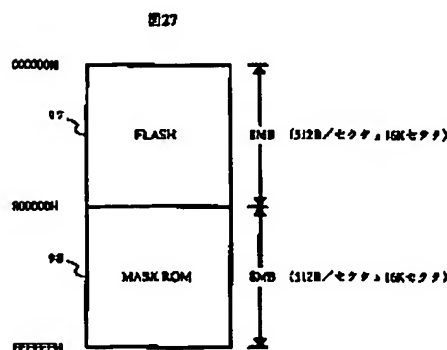
【図20】



【図23】



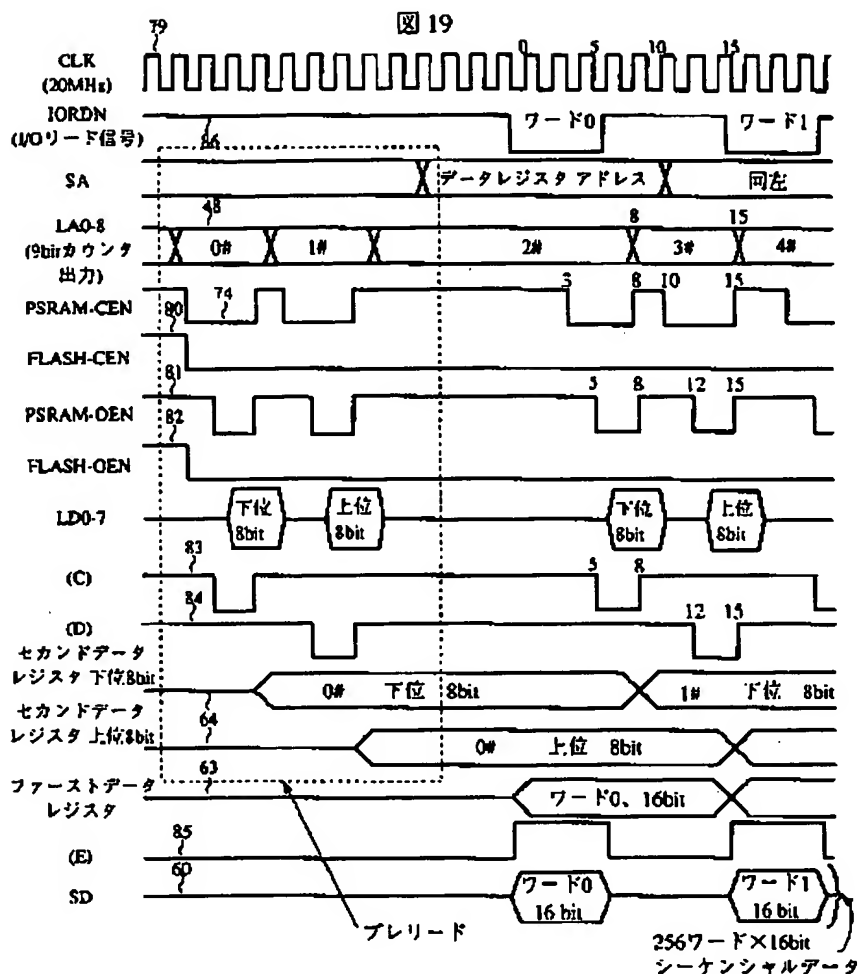
【図27】



(32)

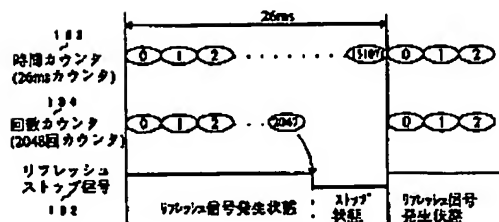
特開平7-36759

【図19】



【図52】

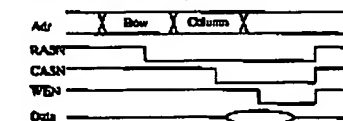
図52



【図67】

図67

<DRAM - 514/60>

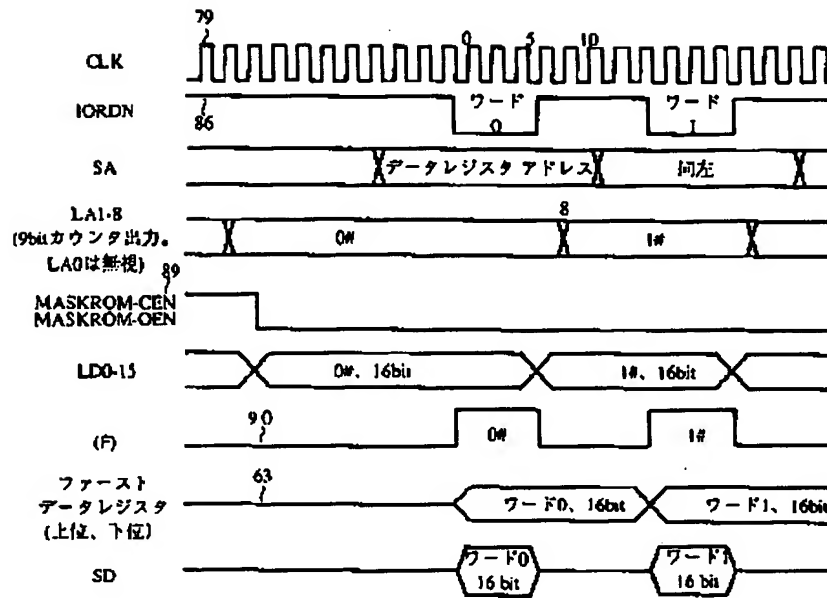


(33)

特開平7-36759

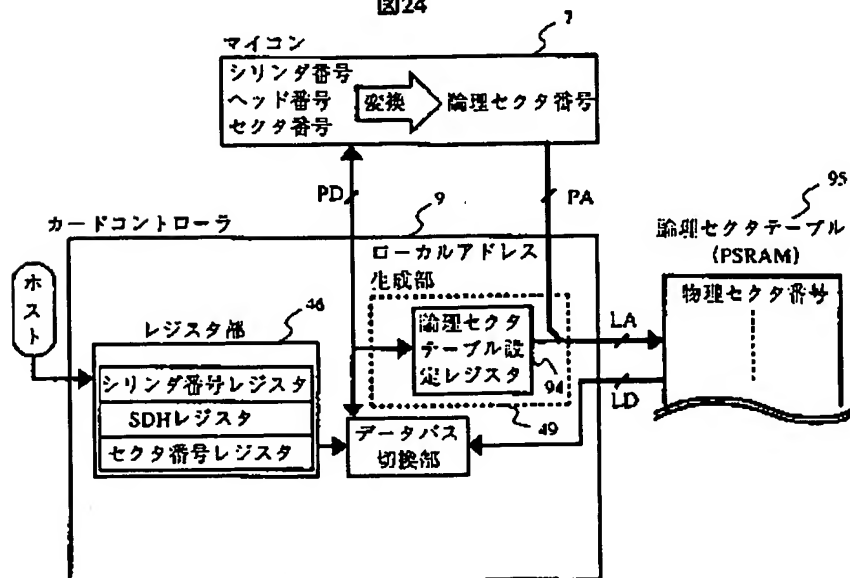
【図21】

図21



【図24】

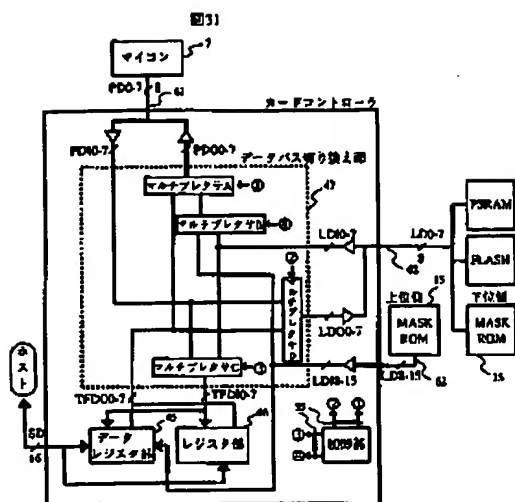
図24



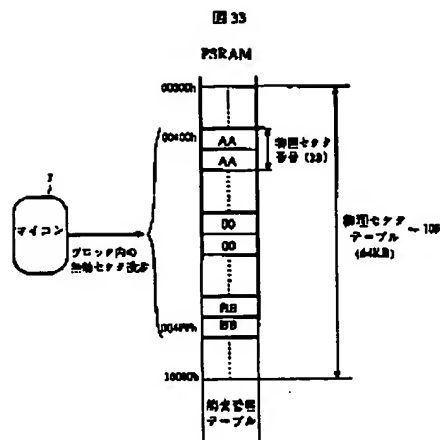
(35)

特開平7-36759

【図31】

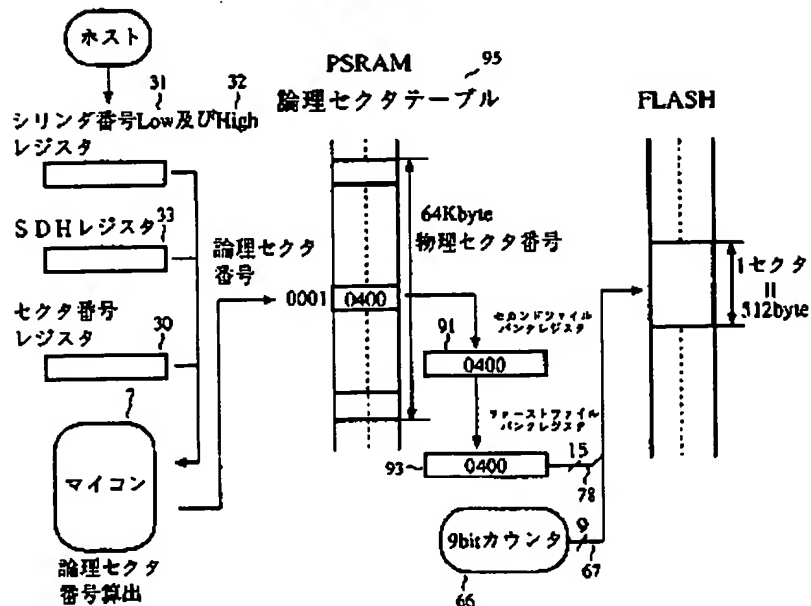


【図33】



【図32】

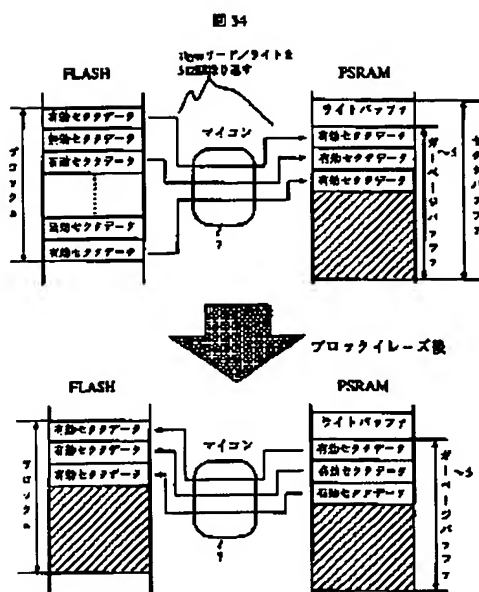
図 32



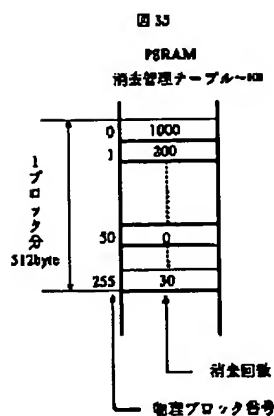
(36)

特開平7-36759

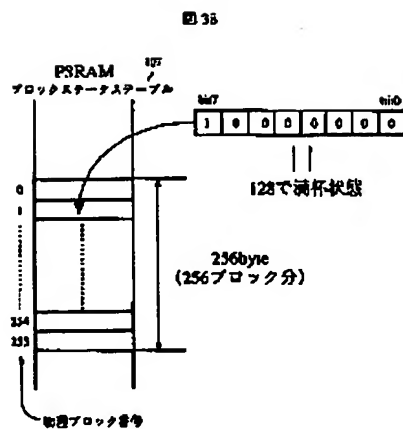
【図34】



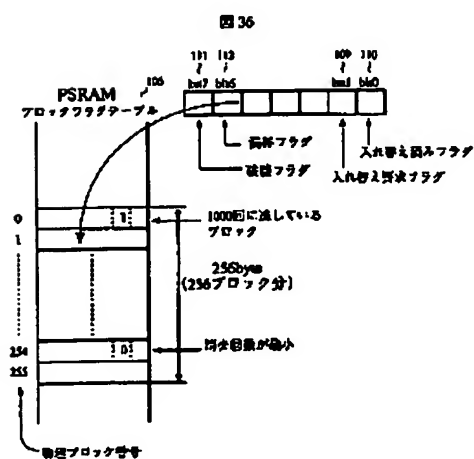
【図35】



【図38】



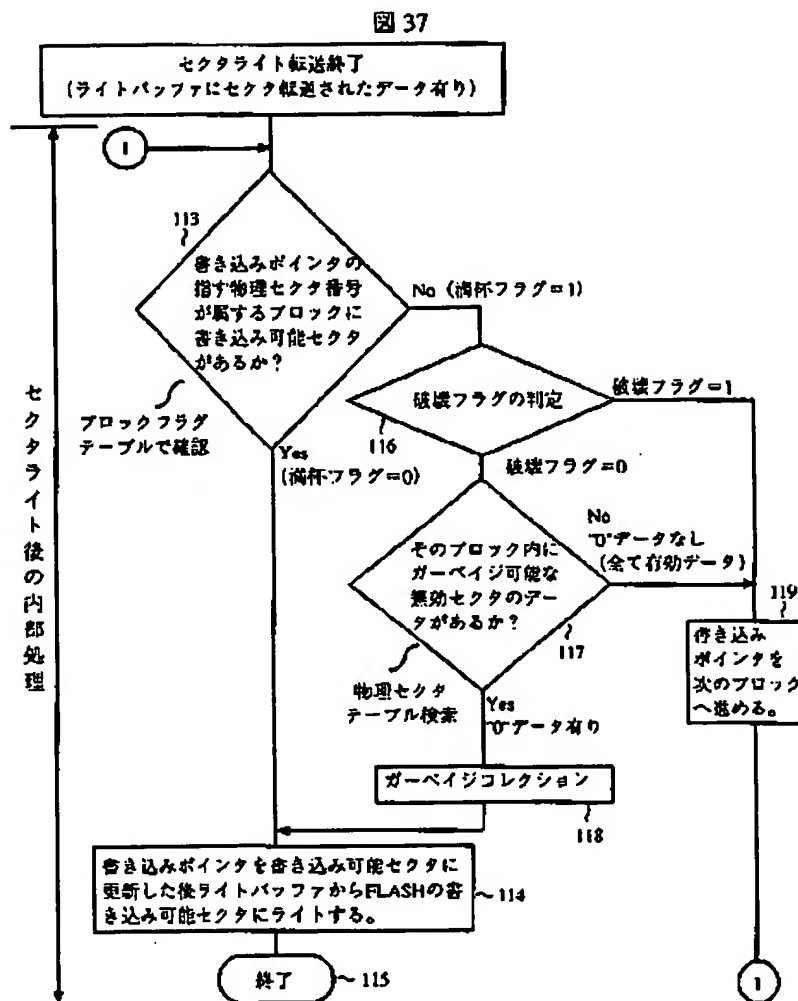
【図36】



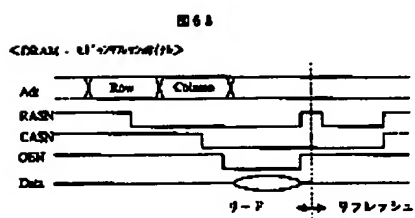
(37)

特開平7-36759

【図37】



【図68】

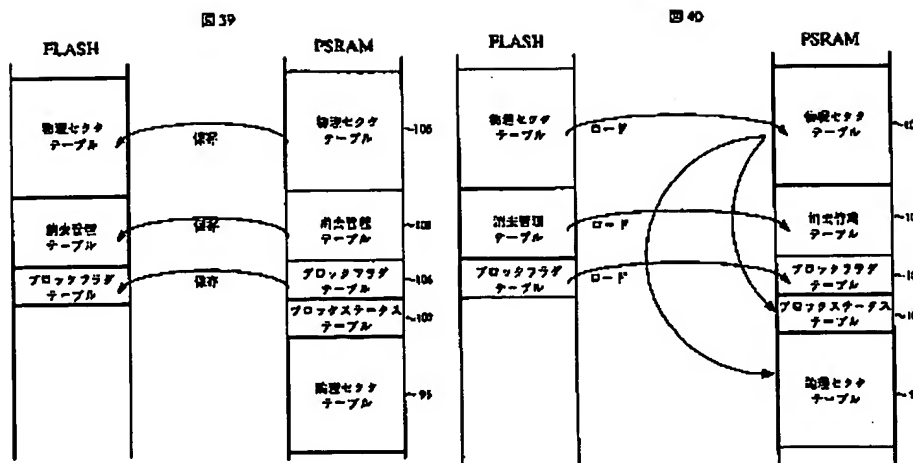


(38)

特開平7-36759

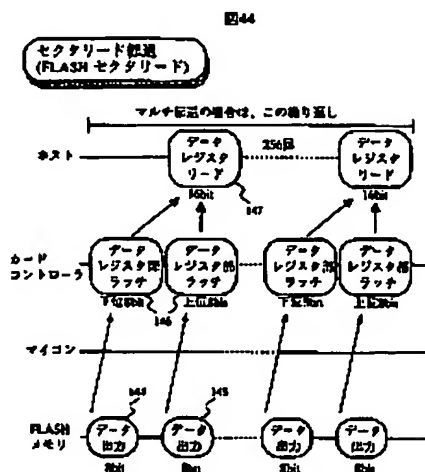
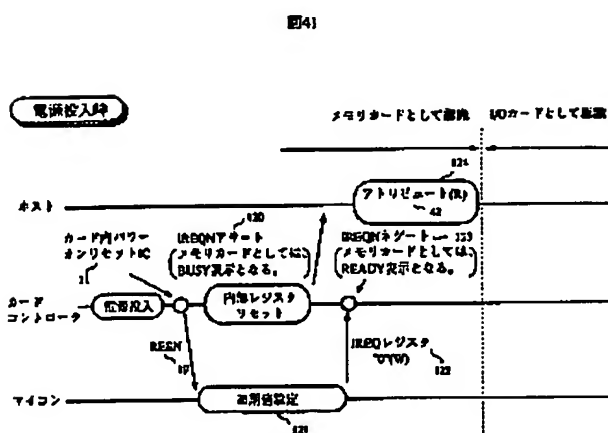
【图39】

【圖40】



【圖41】

【圖44】

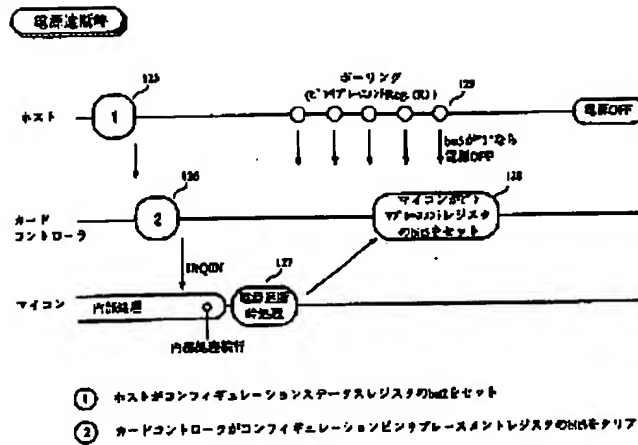


(39)

特開平7-36759

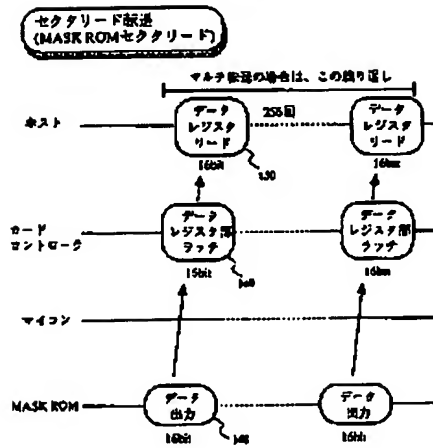
【図42】

図42



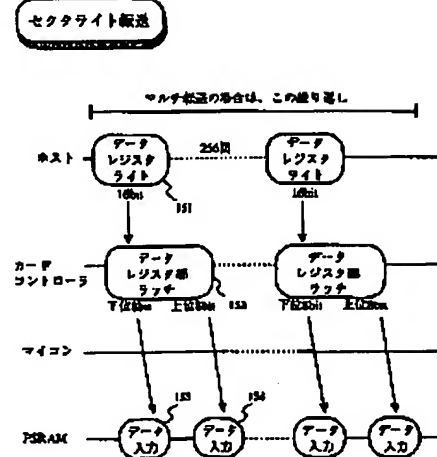
【図45】

図45



【図46】

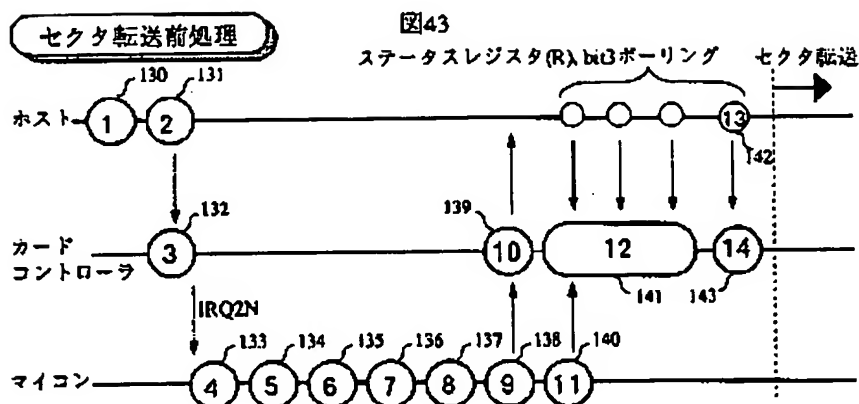
図46



(40)

特開平7-36759

【図43】

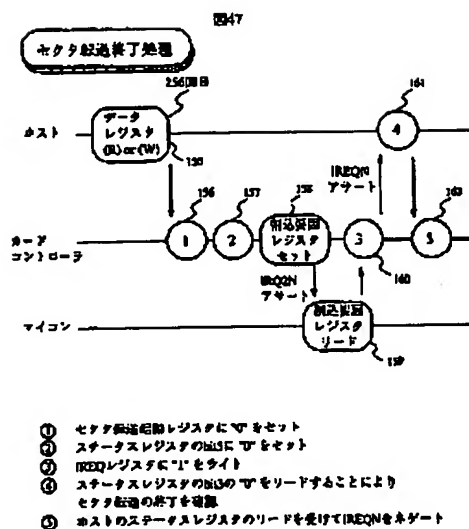


- ① ホストがシリンダ番号、ヘッド番号、セクタ番号を各レジスタにライト
- ② ホストがコマンドをコマンドレジスタにライト
- ③ カードコントローラが割り込み要因レジスタをセットし、IRQ2Nをアサート
- ④ マイコンが割り込み要因レジスタをリード
- ⑤ マイコンがコマンドレジスタをリード
- ⑥ マイコンが論理セクタ番号を物理セクタ番号に変換
- ⑦ 【セクタリード時】
マイコンが物理セクタ番号をセカンドファイルバンクレジスタにライト
【セクタライト時】
マイコンがライトバッファのセクタ番号をセカンドファイルバンクレジスタにライト
- ⑧ マイコンがセクタ転送コントロールレジスタをセット
- ⑨ マイコンがIREQレジスタに"1"ライト
- ⑩ IREQレジスタの"1"を受けてIREQNアサート
- ⑪ マイコンがセクタ転送起動レジスタに"1"ライト
- ⑫ セクタ転送起動レジスタの"1"を受けて、セカンドファイルバンクレジスタからファーストファイルバンクレジスタへセクタ番号を転送。セクタ転送起動レジスタの"1"を受けてステータスレジスタのbi3に"1"をセット
- ⑬ ホストが、IREQNアサートを受けポーリングし、ステータスレジスタのbi3が"1"ならばセクタ転送開始
- ⑭ ステータスレジスタのリードを受けて、IREQNをネゲート

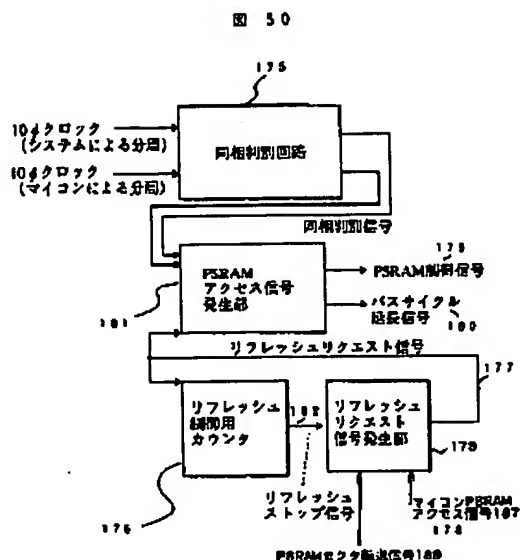
(41)

特開平7-36759

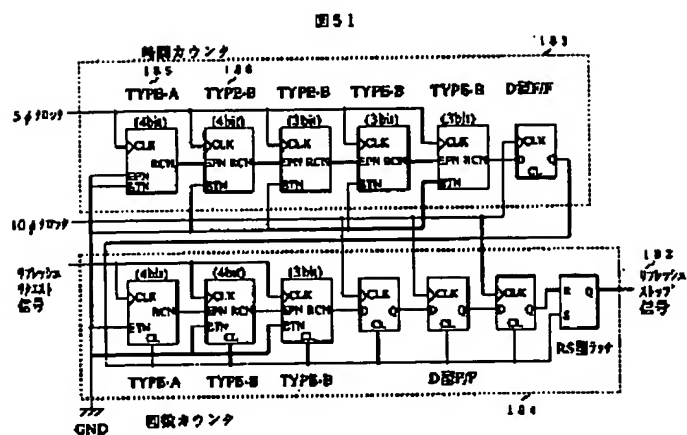
【图47】



【図50】



【图51】



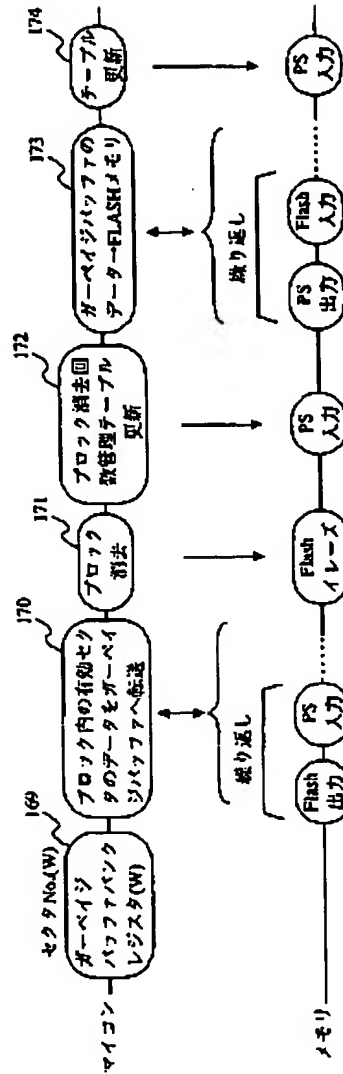
(43)

特開平7-36759

【図49】

図49

ガーベージコレクション

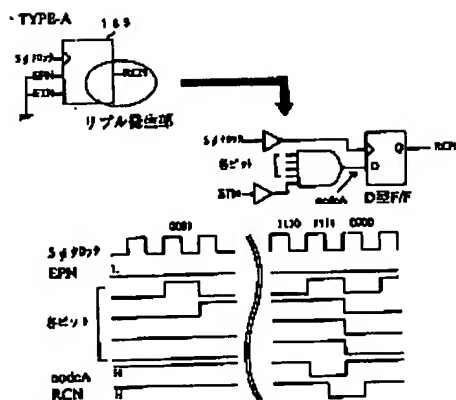


(44)

特開平7-36759

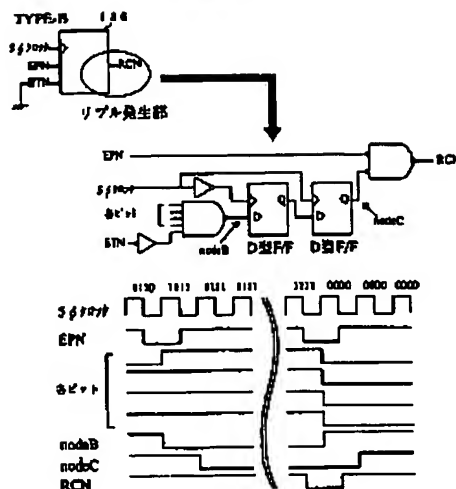
【図53】

図 53



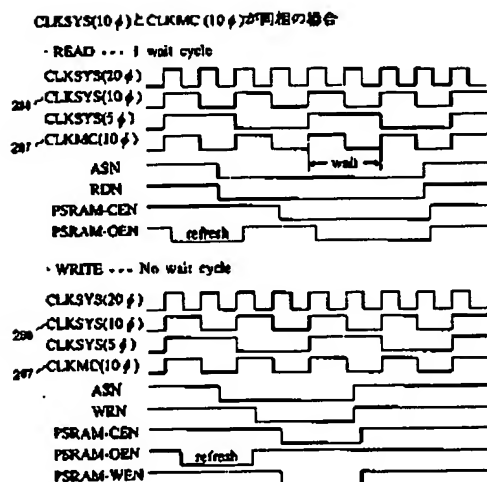
【図54】

図 54



【図57】

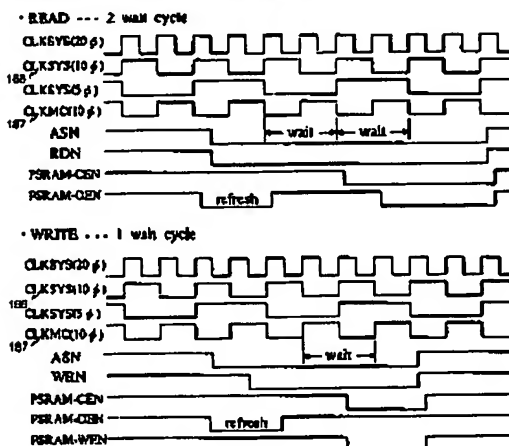
図 57



【図58】

図 58

CLKSYS(10φ)とCLKMC(10φ)が逆相の場合

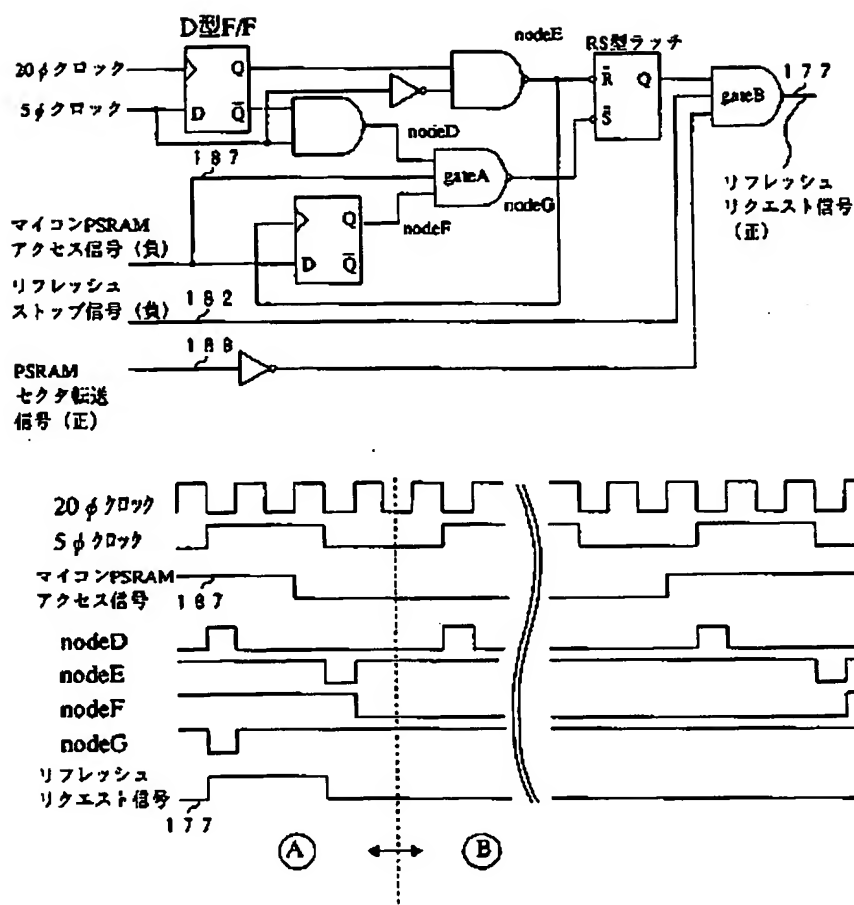


(45)

特開平7-36759

【図55】

図 55

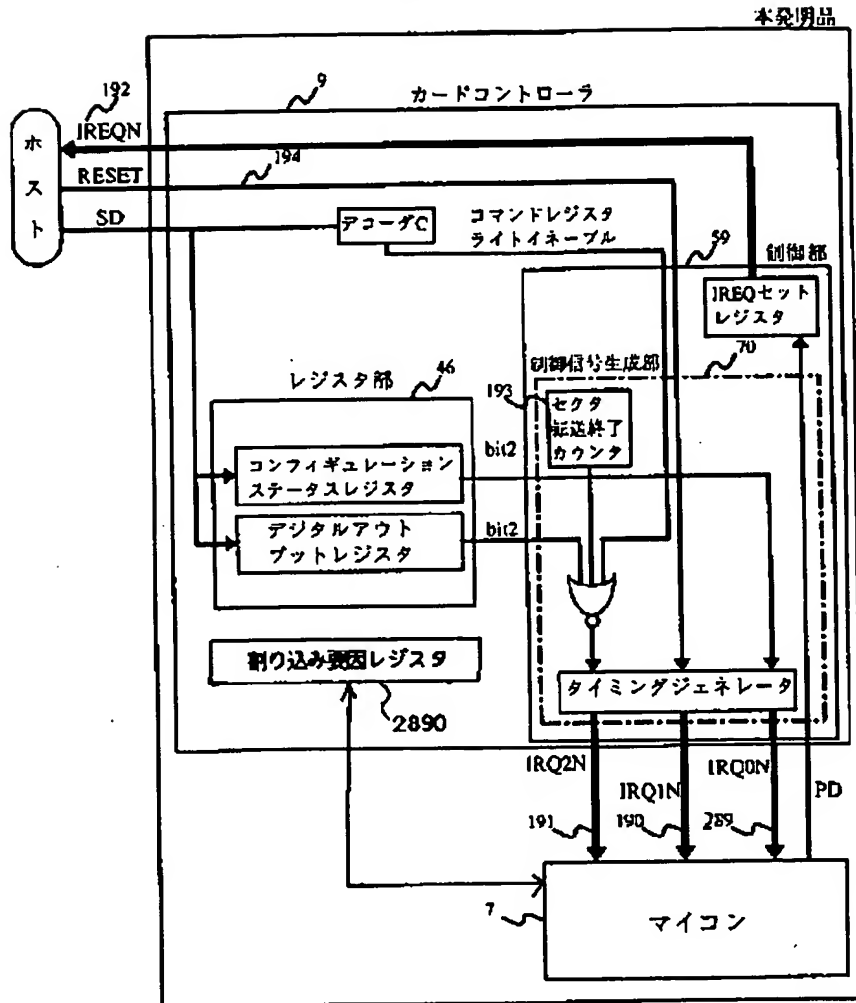


(46)

特開平7-36759

【図59】

図59

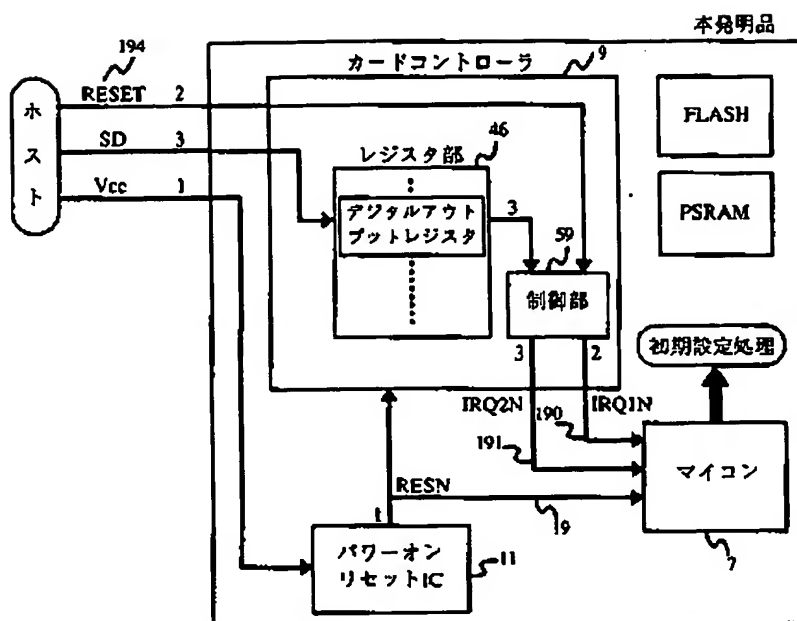


(47)

特開平7-36759

【図60】

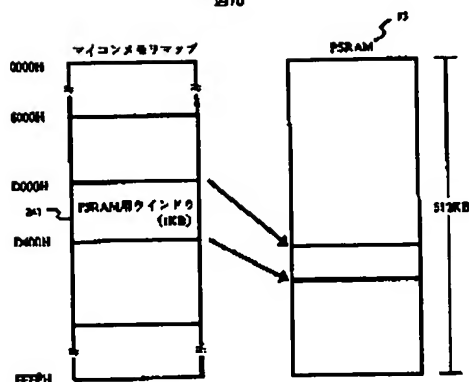
図60



1. 電源投入時
2. ハードリセット
3. ソフトリセット

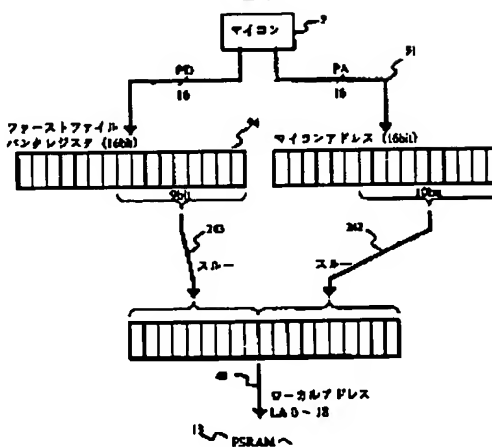
【図70】

図70



【図71】

図71

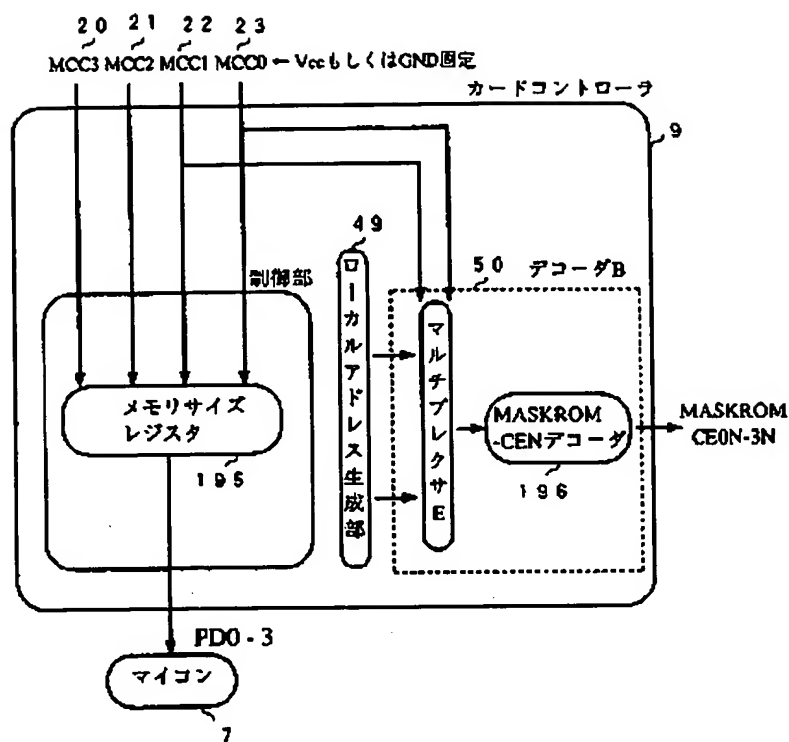


(48)

特開平7-36759

【図61】

図61



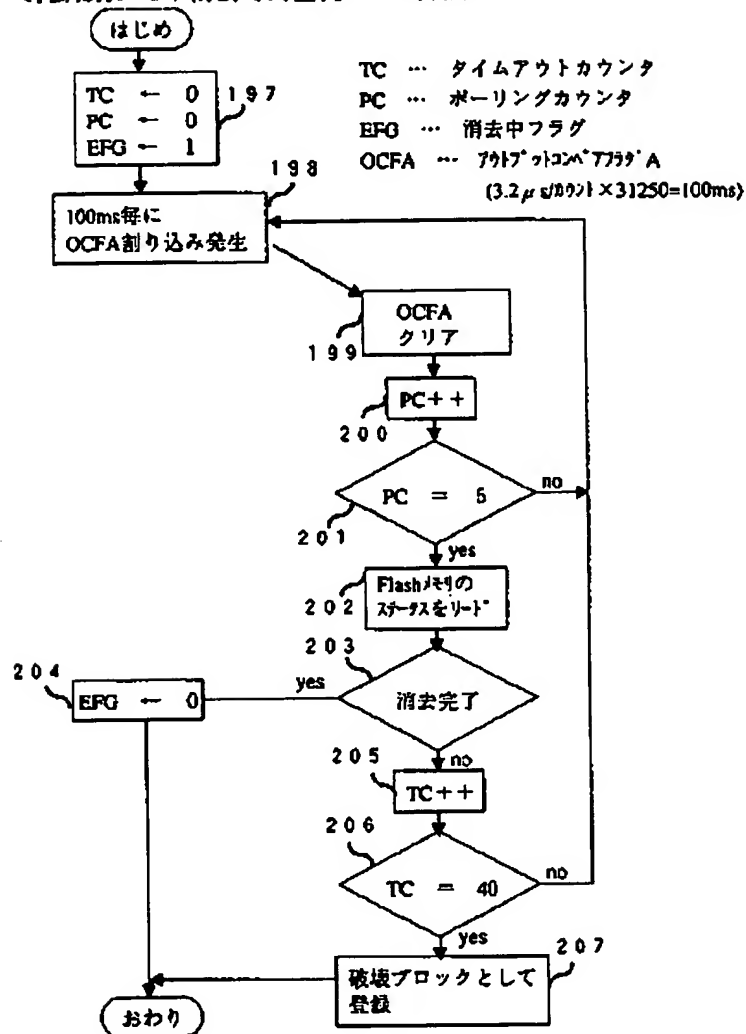
(49)

特開平7-36759

【図62】

図 6 2

<FLASHメモリ消去時間監視による方法>



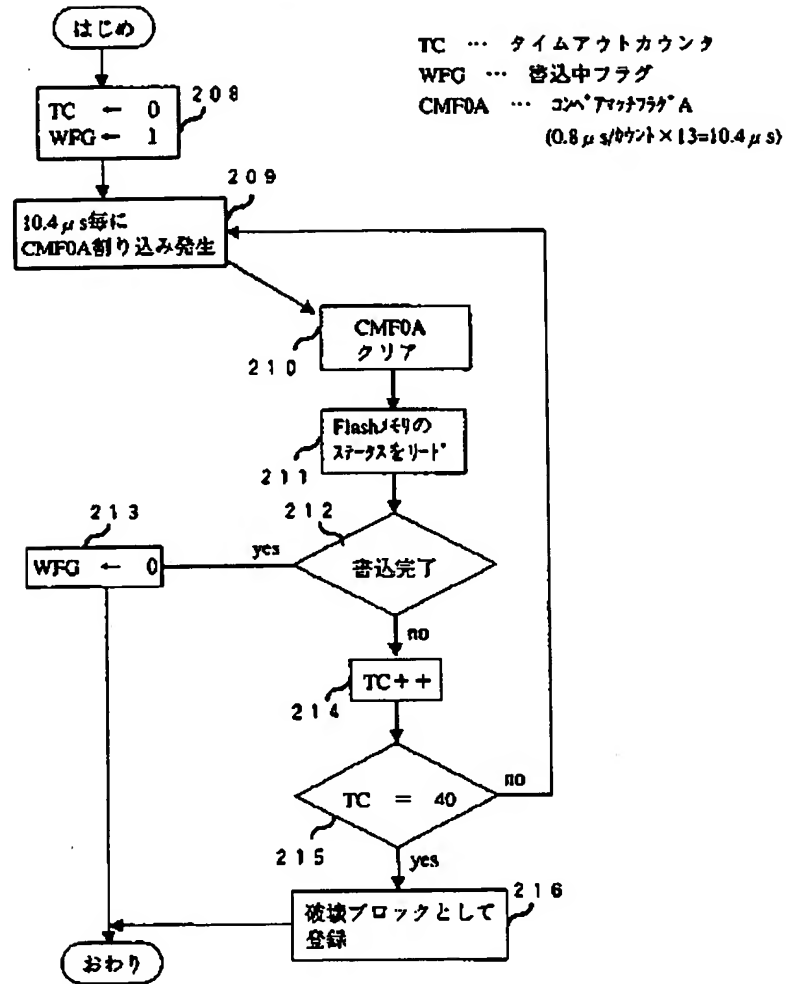
(50)

特開平7-36759

【図63】

図 6 3

<FLASHメモリ書き込み時間監視による方法>



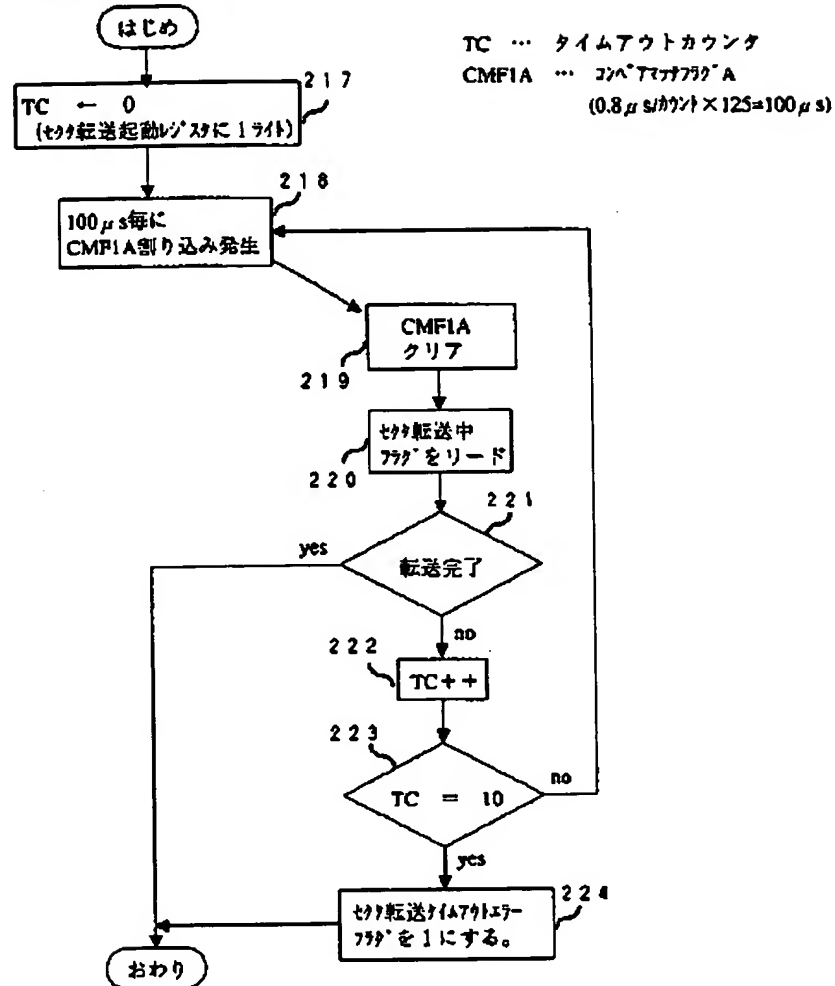
(51)

特開平7-36759

【図64】

図 6 4

<セクタ転送時間監視フロー>



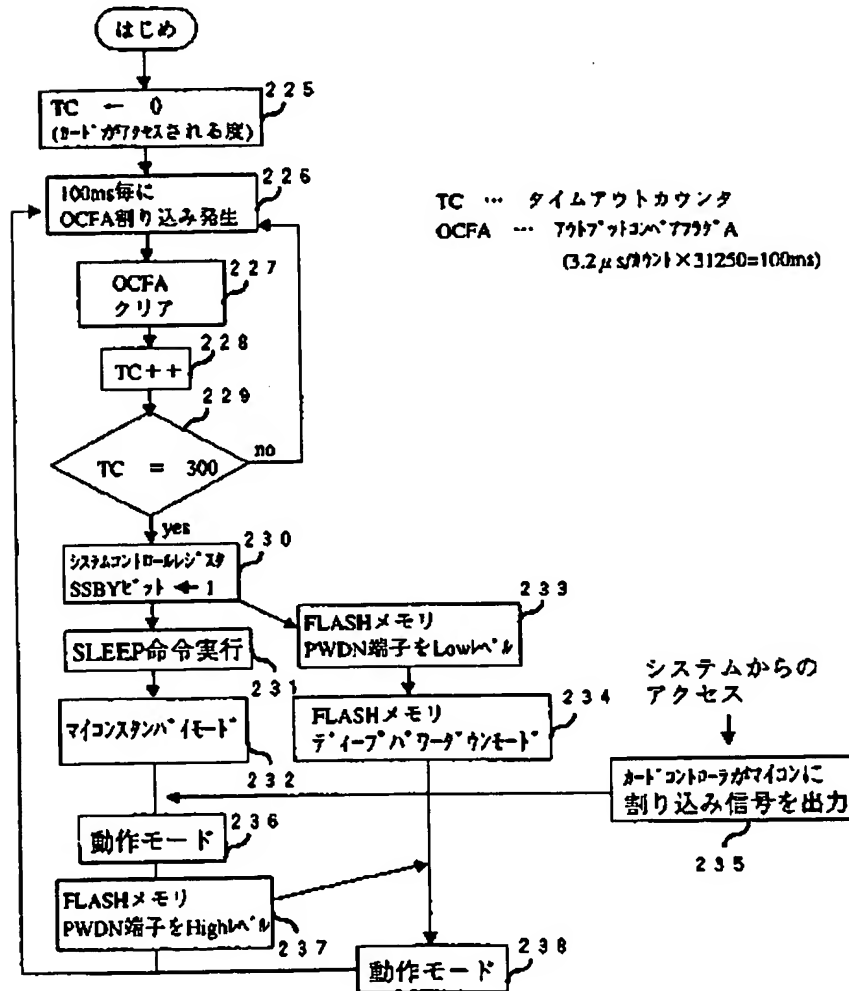
(52)

特開平7-36759

【図65】

図65

＜マイコンのスタンバイモードへの移行と動作モードへの復帰
およびFLASHメモリのディープパワーダウンモードへの移行と動作モードへの復帰＞



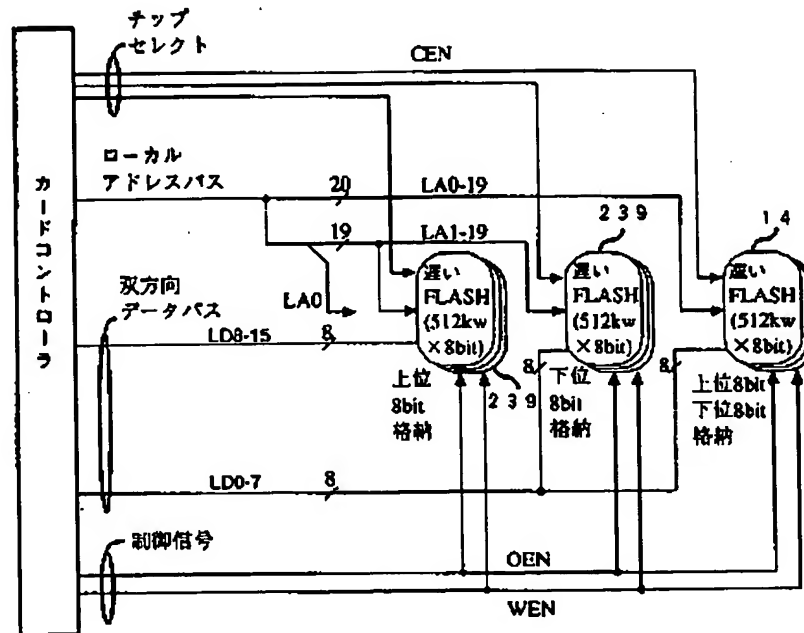
(53)

特開平7-36759

【図69】

図 6 9

＜アクセスタイムの速いFLASHメモリと遅いFLASHメモリの混在使用例＞



フロントページの続き

(72)発明者 片山 国弘
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

(72)発明者 柿 健一
 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

(72)発明者 大久保 京夫
 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者 菊池 隆
 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者 岸 正道
 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者 鈴木 猛
 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(54)

特開平7-36759

(72)発明者 門脇 茂
東京都小平市上水本町5丁目20番1号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 常広 隆司
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内

(72)発明者 高谷 佳夫
千葉県習志野市東習志野七丁目1番1号
日立京葉エンジニアリング株式会社内

(72)発明者 齊藤 学
千葉県習志野市東習志野七丁目1番1号
日立京葉エンジニアリング株式会社内